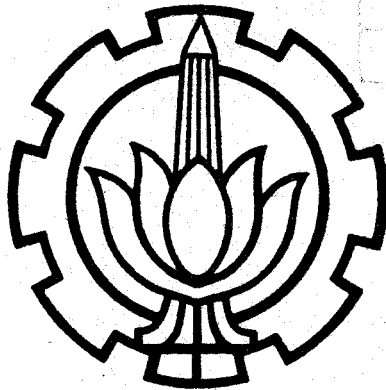


3992 / TS / 4 / 91 ✓

**PERENCANAAN DAN PEMBUATAN SIMULATOR  
SISTEM NAVIGASI INERSIAL STRAPDOWN  
UNTUK PESAWAT TERBANG  
PADA KOMPUTER IBM PC - XT**



Oleh :

Dony Noerwahjono

NRP. 2842200127

**JURUSAN TEKNIK ELEKTRO  
FAKULTAS TEKNOLOGI INDUSTRI  
INSTITUT TEKNOLOGI SEPULUH NOPEMBER  
SURABAYA**

PSE  
629.135 1  
Noe  
P-1  
1990

H.  
68/TA.

**PERENCANAAN DAN PEMBUATAN SIMULATOR  
SISTEM NAVIGASI INERSIAL STRAPDOWN  
UNTUK PESAWAT TERBANG  
PADA KOMPUTER IBM PC - XT**

**TUGAS AKHIR**

**Diajukan Guna Memenuhi Sebagian Persyaratan  
Untuk Memperoleh Gelar  
Sarjana Teknik Elektro**

**Pada**

**Bidang Studi Teknik Sistem Pengaturan**

**Jurusan Teknik Elektro**

**Fakultas Teknologi Industri**

**Institut Teknologi Sepuluh Nopember  
Surabaya**

**Mengetahui / Menyetujui  
Dosen Pembimbing**



**Ir. KATJUK ASTROWULAN, MSEE.**

**S U R A B A Y A**

**NOPEMBER, 1990**

## A B S T R A K

Dalam melakukan suatu penerbangan, pesawat terbang membutuhkan suatu alat bantu navigasi yang dapat menghasilkan besaran-besaran navigasi dengan ketelitian dan kehandalan yang tinggi. Pada dekade terakhir ini terdapat suatu kemajuan yang pesat pada pengembangan teknologi LASER dalam permasalahan navigasi pada pesawat terbang. Hal ini dengan telah diaplikasikannya Ring Laser Gyro ( RLG ) guna menggantikan gimbals, torsi motor atau bagian yang berotasi lainnya. Pada Sistem Navigasi Inersial Strapdown ini, komputer merupakan peralatan yang sangat vital untuk melakukan perhitungan inisialisasi dan perhitungan untuk menghasilkan besaran-besaran navigasi.

Dalam upaya untuk mengejar ketinggalan teknologi navigasi yang ada pada industri penerbangan dunia, industri penerbangan di tanah air harus dapat menguasai dan mengerti metode-metode dari sistem navigasi yang ada. Suatu peralatan yang dapat mensimulasikan Sistem Navigasi Inersial Strapdown akan dapat memudahkan dalam memahami perilaku sistem. Dan peralatan tersebut juga diharapkan dapat digunakan untuk mengecek berfungsinya alat-alat sensor dari Sistem Navigasi Inersial Strapdown.

## KATA PENGANTAR

Alhamdulillah, hanya semata-mata karena rahmat Allah yang dilimpahkan kepada penyusunlah, tugas akhir yang penyusun beri judul :

" PERENCANAAN DAN PEMBUATAN SIMULATOR SISTEM NAVIGASI INERSIAL STRAPDOWN UNTUK PESAWAT TERBANG PADA KOMPUTER IBM PC-XT "

sebagai syarat untuk memperoleh gelar sarjana pada Jurusan Teknik Elektro - Fakultas Teknologi Industri - Institut Teknologi Sepuluh Nopember Surabaya dapat terselesaikan dengan baik.

Dalam kesempatan ini penyusun mengucapkan terimakasih kepada :

1. Bapak Ir K. Astrowulan, MSEE sebagai pembimbing tugas akhir dan dosen wali;
2. Bapak Ir. Syariffuddin Mahmudsyah, M. Eng. sebagai Ketua Jurusan Teknik Elektro FTI - ITS;
3. Bapak T.A. Moetawakkil, MSEE. sebagai Kepala Subdit AVO Direktorat Teknologi - IPTN;
4. Bapak Ir. M. Nuril Fu'ad dan bapak Ir. Bambang Himawanto yang telah memberi bimbingan selama di IPTN;

5. Seluruh staf di Shop Avionics pada Divisi Fixed-Wing IPTN;

6. Serta rekan-rekan lainnya yang tidak bisa disebutkan satu persatu yang mendorong memberi semangat dalam menyelesaikan tugas akhir ini.

Mudah-mudahan Allah SWT selalu memberikan rahmat dan hidayahnya kepada kita semua.

Sebagai manusia biasa yang tidak lepas dari kesalahan, maka penyusun mohon maaf apabila pada penyusunan tugas akhir ini ada hal-hal yang tidak berkenan. Dan penyusun berharap agar tugas akhir ini bermanfaat bagi industri penerbangan di tanah air dalam mengejar ketinggalannya dengan industri penerbangan dunia.

Surabaya, Oktober 1990.

P e n y u s u n

# D A F T A R   I S I

	Halaman
J u d u l	i
P e n g e s a h a n	ii
A b s t r a k	iii
K a t a   P e n g a n t a r	iv
D a f t a r   I s i	vi
D a f t a r   G a m b a r	xi
D a f t a r   T a b e l	xiv
 B A B I   :   P E N D A H U L U A N	 1
1.1 Latar Belakang	1
1.2 Tujuan	2
1.3 Permasalahan	2
1.4 Metodologi Pembahasan	3
 B A B II   :   T E O R I   P E N U N J A N G	 5
2.1 Notasi dan Teknik Matematika	5
2.1.1 Matriks Kolom	5
2.1.2 Transformasi Koordinat	6
2.1.3 Kecepatan Sudut	7
2.1.4 Turunan dari Matriks Arah	8
2.1.5 Turunan Matriks Kolom	10
2.2 Kerangka-kerangka Referensi	10

	Halaman
2.2.1 Kerangka Inersial	10
2.2.2 Kerangka Geografik	16
2.2.3 Kerangka Bumi	17
2.2.4 Kerangka Geosentrik	17
2.2.5 Kerangka Bodi	18
2.2.6 Kerangka Tangen	19
2.2.7 Hubungan Kerangka-kerangka Referensi	19
2.2.7.1 Inersial - Geografik	19
2.2.7.2 Inersial - Bumi	19
2.2.7.3 Inersial - Geosentrik	20
2.2.7.4 Geografik - Geosentrik	20
2.2.7.5 Bumi - Geografik	20
2.2.7.6 Inersial - Bodi	21
2.2.7.7 Inersial - Tangen	21
2.2.7.8 Tangen - Geografik	22
2.3 Geometri Bumi	23
2.3.1 Vektor Posisi Secara Geosentrik	23
2.3.2 Deviasi Normal	25
2.3.3 Besar Jari-jari Bumi	26
2.3.4 Medan Gravitasi Bumi	28
2.4 Accelerometer	32
2.4.1 Prinsip Dasar	32

	Halaman
2.4.2 Sistem Orde Dua	34
2.4.3 Macam-macam Accelerometer	38
2.5 Ring Laser Gyro	42
BAB III : SISTEM NAVIGASI INERSIAL STRAPDOWN	49
3.1 Sistem Navigasi Inersial	49
3.2 Klasifikasi Sistem Navigasi Inersial	51
3.3 Sistem Navigasi Inersial Strapdown	52
3.4 Mekanisme Sistem Navigasi Inersial Strapdown	54
BAB IV : PERENCANAAN SISTEM	63
4.1 Slot IBM PC - XT	65
4.2 Rangkaian Dekoder	69
4.2.1 74LS138	70
4.2.2 74LS154	71
4.2.3 Rangkaian Lengkap Dekoder	72
4.3 8255 PPI	73
4.4 Analog to Digital Converter	79
4.4.1 Succesive Approximation A/D Converter	80
4.4.2 Analog to Digital Converter ( ADC ) 0804	81
4.5 Sample & Hold LF 398	85



	Halaman
4.6 Komponen Penunjang Lainnya	87
4.6.1 74LS00 Gate NAND dengan Dua Masukan	87
4.6.2 74LS08 Gate AND dengan Dua Masukan	87
4.6.3 74LS04 Gate Inverting	88
4.6.4 74LS32 Gate OR dengan Dua Masukan	88
4.6.5 7417 Buffer dengan Keluaran Open Collector	89
4.6.6 74LS374 Octal D Type Flip Flop	91
4.6.7 74LS75 4 - Bit Bistable Latches	92
4.7 Konversi dari Accelerometer ( DC ) ke Digital	93
4.8 Konversi dari Ring Laser Gyro ( Synchro ) ke Digital	94
4.8.1 Teori Dasar Synchro	94
4.8.2 Torsi Synchro	97
4.8.3 Rangkaian Pengubah dari Arus Synchro Menjadi Besaran Digital	99
4.8.4 Rangkaian Untuk Perintah Sample dan Hold	104
4.9 Rangkaian Lengkap Interface	105
BAB V : PERENCANAAN PERANGKAT LUNAK	106
5.1 Mode Pilihan	108

	Halaman
5.2 Inisialisasi Perangkat Keras	108
5.3 Pemasukan Harga Awal dan Perhitungan Awal	109
5.4 Pengambilan Data dari Sensor	112
5.5 Konversi Accelerometer	113
5.6 Konversi Gyro	114
5.7 Perhitungan Sistem Navigasi Inersial Strapdown	116
BAB VI : KESIMPULAN	120
D A F T A R P U S T A K A	122
LAMPIRAN A : Gambar Rangkaian Lengkap Interface	
LAMPIRAN B : Daftar Komponen	
LAMPIRAN C : Usulan Tugas Akhir	
LAMPIRAN D : Kurikulum Vitae	

## D A F T A R   G A M B A R

	Halaman
Gambar 2.1 Gerakan Rotasi pada Sudut yang Kecil	8
Gambar 2.2 Kerangka Koordinat Geometri	16
Gambar 2.3 Kerangka Bodi	18
Gambar 2.4 Hubungan Jari-jari dengan Ketinggian pada Bumi	23
Gambar 2.5 Geometri Gravitasi Potensial	29
Gambar 2.6 Accelerometer	33
Gambar 2.7 Respon Step Accelerometer yang Tak Teredam	34
Gambar 2.8 Accelerometer dengan Diberi Redaman	36
Gambar 2.9 Akibat Diberi Damping	37
Gambar 2.10 Respon untuk Masukan Fungsi Tangga dengan Bermacam-macam Harga Faktor Damping	38
Gambar 2.11 Accelerometer Strain Gauge	39
Gambar 2.12 Accelerometer dengan Massa Terayun	40
Gambar 2.13 Accelerometer dengan Gaya Seimbang	41
Gambar 2.14 Accelerometer Piezo Electric	42
Gambar 2.15 Sagnac Interferometer	43
Gambar 2.16 Efek dari Rotasi	45

	Halaman
Gambar 2.17 Pengukuran Perbedaan Frekuensi	48
Gambar 3.1 Block Diagram Sistem Navigasi Inersial Strapdown	53
Gambar 3.2 Diagram Sistem Navigasi Inersial Strapdown	55
Gambar 3.3 Diagram Mekanisme Sistem Navigasi Inersial Strapdown	62
Gambar 4.1 Diagram Rangkaian Sistem Navigasi Inersial Strapdown	65
Gambar 4.2 Konfigurasi Slot IBM PC - XT	66
Gambar 4.3 Diagram LS138	70
Gambar 4.4 Diagram LS154	71
Gambar 4.5 Rangkaian Dekoder	73
Gambar 4.6 Internal Block Diagram 8255 PPI	74
Gambar 4.7 Mode-mode Pengoperasian 8255	77
Gambar 4.8 Bentuk Control Word 8255	78
Gambar 4.9 Rangkaian Successive Approximation A/D Converter	80
Gambar 4.10 ADC 0804 Successive Approximation ADC dengan Tri State Output	82
Gambar 4.11 Penyambungan ADC 0804 ke Mikrokomputer	85
Gambar 4.12 Diagram Fungsional LF 398	86

	Halaman
Gambar 4.13 Hubungan Pin-pin LF 398 pada Aplikasi	86
Gambar 4.14 Diagram 74LS00	87
Gambar 4.15 Diagram 74LS08	87
Gambar 4.16 Diagram 74LS04	88
Gambar 4.17 Diagram 74LS32	88
Gambar 4.18 Diagram 7417	89
Gambar 4.19 Hubungan Penggunaan 7417	89
Gambar 4.20 Perhitungan Pada Kondisi Tegangan High	90
Gambar 4.21 Perhitungan Pada Kondisi Tegangan Low	90
Gambar 4.22 Diagram 74LS374	91
Gambar 4.23 Hubungan Pin-pin 74LS374	91
Gambar 4.24 Diagram 74LS75	92
Gambar 4.25 Rangkaian Konversi dari Keluaran Accelerometer ke Digital	93
Gambar 4.26 Teori Dasar Synchro	95
Gambar 4.27 Hubungan Antara Sudut Relatif dengan Amplitudo dan Phase dari Output	95
Gambar 4.28 Hubungan Antara Tegangan Output dengan Waktu untuk Berbagai-bagai Sudut Relatif	96
Gambar 4.29 Sistem Torsi Synchro	98
Gambar 4.30 Hubungan dari Torsi Synchro	100

	Halaman
Gambar 4.31 Diagram Rangkaian Perubah dari Synchro ke Digital	102
Gambar 4.32 Rangkaian Konversi dari Synchro ( Keluaran Ring Laser Gyro ) Menjadi Digital	103
Gambar 4.33 Rangkaian Untuk Perintah Sample & Hold	104
Gambar 5.1 Diagram Alir Utama dari Perangkat Lunak Simulator Sistem Navigasi Inersial Strapdown	107
Gambar 5.2 Diagram Alir Pemasukan Harga Awal dan Perhitungan Awal	111
Gambar 5.3 Diagram Alir Perhitungan Sistem Navigasi Inersial Strapdown	119

## DAFTAR TABEL

	Halaman
Tabel 4.1 Pemetaan Alamat I/O pada IBM PC	69
Tabel 4.2 Tabel Kebenaran LS138	71
Tabel 4.3 Tabel Kebenaran LS154	72
Tabel 4.4 Operasi Dasar 8255	76
Tabel 4.5 Tabel Kebenaran 74LS75	92

## B A B I

# P E N D A H U L U A N

---

### 1.1 LATAR BELAKANG

Dalam melakukan suatu penerbangan, pesawat terbang membutuhkan suatu alat bantu navigasi yang dapat menghasilkan besaran-besaran navigasi dengan ketelitian dan kehandalan yang tinggi. Pada dekade ini pengembangan teknologi LASER dalam permasalahan navigasi pada pesawat terbang telah mengalami suatu perkembangan yang sangat pesat. Hal ini dengan diaplikasikannya Ring Laser Gyro ( RLG ). Dengan menggunakan RLG untuk menggantikan giro gimbal akan dapat meningkatkan ketelitian dan kehandalan dari sistem navigasi serta akan mengurangi tempat dan berat. Oleh karena itu akan mengubah desain Sistem Navigasi Inersial yang ada. Metode itu disebut Sistem Navigasi Inersial Strapdown ( Strapdown Inertial Navigation System ).



Sistem Navigasi Inersial Strapdown tersebut supaya dapat digunakan dan dikembangkan dengan baik pada industri penerbangan di tanah air, diperlukan suatu alat bantu yang dapat memudahkan untuk memahami perilaku dari Sistem Navigasi Inersial Strapdown tersebut. Dan dengan adanya suatu kemajuan yang pesat di dunia elektronika, khususnya pada pemakaian komputer mikro ( komputer pribadi ) , maka komputer mikro dapat digunakan sebagai alat bantu untuk mensimulasikan sistem tersebut.

## 1.2 T U J U A N

Dalam mengerjakan tugas akhir ini mempunyai tujuan untuk merencanakan dan membuat Simulator Sistem Navigasi Inersial Strapdown pada komputer mikro IBM PC - XT.

## 1.3 PERMASALAHAN

Dalam merencanakan dan membuat Simulator Sistem Navigasi Inersial Strapdown ini dipakai suatu alat bantu yang utama yaitu komputer mikro IBM PC-XT. Dan dibuat suatu interface yang dapat menghubungkan dan mengatur tata cara pengambilan data dari suatu rangkaian elektronik, yang merupakan simulasi alat-alat sensor dari Sistem Navigasi Inersial Strapdown. Adapun alat-alat sensornya adalah Accelerometer dan Ring Laser Gyro. Sinyal keluaran dari Accelerometer berupa arus DC. Sinyal keluaran dari Ring Laser Gyro yang dipakai adalah arus Synchro ( AC ).

Kemudian dari keluaran sensor-sensor tersebut dikonversikan menjadi suatu besaran digital oleh Analog to Digital Converter ( ADC ). Dan besaran-besaran digital tersebut merupakan masukan dari simulasi Sistem Navigasi Inersial yang ada pada komputer.

Dalam mengerjakan dan membuat Simulator Sistem Navigasi Inersial Strapdown ini ditinjau dari sudut praktis dan direncanakan untuk dapat dibuat dengan komponen-komponen yang ada di tanah air.

Setelah data-data dari sensor Sistem Navigasi Inersial Strapdown tersebut diterima oleh komputer, kemudian diolah dengan menggunakan suatu perangkat lunak untuk dapat menghasilkan besaran-besaran navigasi.

#### 1.4 METODOLOGI PEMBAHASAN

Di dalam tugas akhir ini, sistematika pembahasan yang dilakukan adalah sebagai berikut, pada Bab II membahas teori-teori penunjang yang diperlukan dalam pembahasan Sistem Navigasi Inersial Strapdown. Sedangkan dalam Bab III dibahas tentang mekanisme Sistem Navigasi Inersial Strapdown tersebut dan pendekatan-pendekatan yang dilakukan. Pada Bab IV membahas tentang perencanaan untuk membuat Simulator Sistem Navigasi Inersial Strapdown, dalam hal ini yang dibahas adalah pembuatan perangkat kerasnya. Pada Bab V yang dibahas adalah perencanaan

perangkat lunaknya, yang mengolah data-data yang diperoleh dari sensor-sensor Sistem Navigasi Inersial Strapdown untuk menghasilkan besaran-besaran navigasi. Dan pada bab terakhir, Bab VI, dibahas tentang kesimpulan dari perencanaan dan pembuatan Simulator Sistem Navigasi Inersial Strapdown ini.

## B A B    I I

### T E O R I    P E N U N J A N G

---

#### 2.1    N O T A S I    D A N    T E K N I K    M A T E M A T I K A

Di dalam membahas masalah-masalah dalam sistem navigasi inersial diperlukan pengertian dahulu yang mendalam tentang notasi dan teknik matematika.

##### 2.1.1    M A T R I K S    K O L O M

Adalah suatu vektor yang secara fisik mempunyai referensi pada suatu kerangka koordinat (frame) yang ditunjukkan oleh superscript.

contoh :

$$r^i = \begin{bmatrix} r_x \\ r_y \\ r_z \end{bmatrix} = \{ r_x, r_y, r_z \}$$

dengan i (inersial) sebagai kerangka referensi dan x, y, z merupakan komponen kerangka inersial.

### 2.1.2 TRANSFORMASI KOORDINAT

Matriks kolom yang mempunyai referensi pada sebuah kerangka koordinat dapat ditransformasikan ke kerangka koordinat yang lain oleh Matriks Arah (Direction Cosine Matrix - DCM).

contoh :

$$r^i = C_b^i r^b \quad 1)$$

di mana,

$C_b^i$  = Matriks Arah (DCM) yang mentransformasikan matriks kolom dengan referensi koordinat bodi,  $b$  ke koordinat inersial,  $i$ .

$$C_b^i = \begin{bmatrix} C_{11} & C_{12} & C_{13} \\ C_{21} & C_{22} & C_{23} \\ C_{31} & C_{32} & C_{33} \end{bmatrix}$$

$C_{jk}$  = Arah cosinus antara sumbu ke  $j$  pada kerangka (frame)  $i$  dan sumbu ke  $k$  pada kerangka (frame)  $b$ .

Bila kedua kerangka koordinat (frame) tersebut orthogonal maka,

$$C_b^i = (C_i^b)^T$$

inverse dari matriks arah (DCM) merupakan transpose dari matriks arah tersebut.

1) Kenneth R. Britting, Sc. D., Inertial Navigation System Analysis, John Wiley & Sons Inc., 1971, halaman 13

### 2.1.3 KECEPATAN SUDUT

Kecepatan sudut diantara 2 kerangka koordinat dinotasikan sebagai matriks kolom dengan subscript yang menunjukkan arah rotasi.

$$\omega_{ib}^b = \{ \omega_R, \omega_P, \omega_Y \}$$

$\omega_{ib}^b$  = Kecepatan sudut kerangka (frame)  $b$  relatif terhadap kerangka  $i$  dengan referensi pada kerangka  $b$ .

Karena merupakan besaran vektor, maka kecepatan sudut menggunakan aturan penambahan vektor seperti berikut,

$$\omega_{ib} = \omega_{in} + \omega_{nb}$$

Dan bila merubah arah rotasi akan membalik subscript

$$- \omega_{ib} = \omega_{bi}$$

Pada aljabar matriks, perlu untuk mengekspresikan kecepatan sudut dalam bentuk skew-simetrik (simetri miring).

Bentuk skew-simetrik dari  $\omega$  dinotasikan dengan  $\Omega$

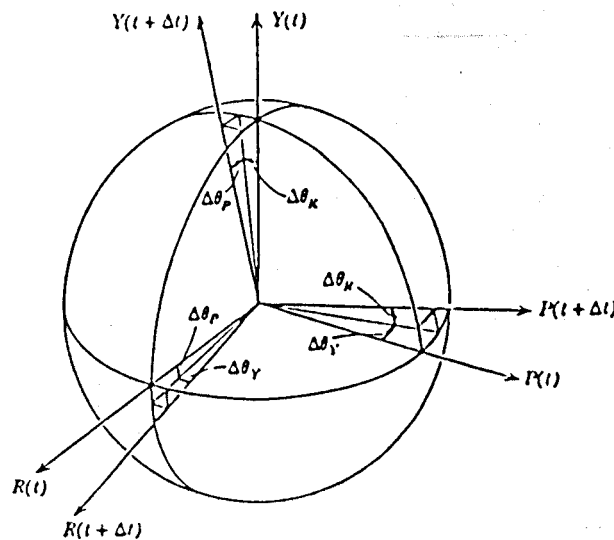
$$\omega_{ib}^b \Rightarrow \Omega_{ib}^b$$

$$\begin{bmatrix} \omega_R \\ \omega_P \\ \omega_Y \end{bmatrix} \rightarrow \begin{bmatrix} 0 & -\omega_Y & \omega_P \\ \omega_Y & 0 & -\omega_R \\ -\omega_P & \omega_R & 0 \end{bmatrix}$$

#### 2.1.4 TURUNAN DARI MATRIKS ARAH (DIRECTION COSINE MATRIX)

Dengan mengambil contoh gerakan rotasi yang terjadi pada dua koordinat kartesian antara kerangka i dan b. Pada saat  $t$ , mempunyai matriks arah =  $C_b^i(t)$ . Setelah kerangka b berotasi selama  $\Delta t$ , matriks arahnya menjadi  $C_b^i(t+\Delta t)$ , maka

$$\dot{C}_b^i = \lim_{\Delta t \rightarrow 0} \frac{\Delta C_b^i}{\Delta t} = \lim_{\Delta t \rightarrow 0} \frac{C_b^i(t+\Delta t) - C_b^i(t)}{\Delta t} \quad (2.1)$$



GAMBAR 2.1 GERAKAN ROTASI PADA SUDUT YANG KECIL

2) Ibid, halaman 17

Secara geometrik, matriks  $C_b^i$  dapat ditulis sebagai berikut

$$C_b^i(t+\Delta t) = C_b^i(t)(I + \Delta\theta^b) \quad (2.2)$$

di mana

$I + \Delta\theta^b$  adalah rotasi yang sangat kecil pada kerangka  $b$  dari waktu  $t$  sampai  $t + \Delta t$ .

Dari gambar 2.1 tampak bahwa  $\Delta\theta^b$  adalah

$$\Delta\theta^b = \begin{bmatrix} 0 & -\Delta\theta_Y & \Delta\theta_P \\ \Delta\theta_Y & 0 & -\Delta\theta_R \\ -\Delta\theta_P & \Delta\theta_R & 0 \end{bmatrix}, \quad \Delta\theta_k \approx \sin \Delta\theta_k, \quad k = R, P, Y$$

Dari persamaan 2.1 dan 2.2 di atas, didapat

$$C_b^i = C_b^i(t) \lim_{\Delta t \rightarrow 0} \frac{\Delta\theta^b}{\Delta t} \quad (2.3)$$

Dan limit untuk  $\Delta t \rightarrow 0$  dari  $\Delta\theta^b/\Delta t$  adalah bentuk skew-simetrik vektor kecepatan sudut dari kerangka  $b$  yang relatif terhadap kerangka  $i$  selama selang waktu  $\Delta t$ .

Maka,

$$\lim_{\Delta t \rightarrow 0} \frac{\Delta\theta^b}{\Delta t} = \Omega_{ib}^b$$

sehingga didapat,

$$\dot{C}_b^i = C_b^i \Omega_{ib}^b \quad (2.4)$$

dengan,

$$\Omega_{ib}^b = \begin{bmatrix} 0 & -\omega_Y & \omega_P \\ \omega_Y & 0 & -\omega_R \\ -\omega_P & \omega_R & 0 \end{bmatrix}$$



### 2.1.5 TURUNAN MATRIKS KOLOM

Dengan mengambil transformasi komponen vektor posisi secara geosentrik dari koordinat geografik ke koordinat inersial.

$$r^i = C_n^i r^n$$

dideferensialkan menjadi,

$$\dot{r}^i = C_n^i \dot{r}^n + \dot{C}_n^i r^n \quad (2.5)$$

Dari persamaan 2.4 didapat,

$$\dot{r}^i = C_n^i ( \dot{r}^n + \Omega_{in}^n r^n ) \quad (2.6)$$

Dan diferensial tingkat dua adalah :

$$\ddot{r}^i = C_n^i ( \ddot{r}^n + 2\Omega_{in}^n \dot{r}^n + \dot{\Omega}_{in}^n r^n + \Omega_{in}^n \dot{r}^n + \Omega_{in}^n \Omega_{in}^n r^n ) \quad (2.7)$$

## 2.2 KERANGKA-KERANGKA (FRAME-FRAME) REFERENSI

Teori Navigasi inersial membutuhkan definisi yang tepat tentang sejumlah kerangka koordinat. Terdapat lima kerangka koordinat yang berhubungan dengan geometri bumi yang relatif terhadap kerangka inersial sebagai referensi dan satu kerangka koordinat yang merupakan kumpulan sumbu bodi pesawat. Keenam kerangka tersebut orthogonal dengan didefinisikan sebagai "kerangka koordinat tangan kanan".

### 2.2.1 KERANGKA INERSIAL

Konsep dasar dari kerangka inersial dikembangkan

oleh ilmuwan-ilmuwan penting seperti Galileo Galilei, Isaac Newton, Ernst Mach dan Albert Einstein. Newton menyusun suatu konsep tentang "absolute space" untuk menyatakan percepatan yang terdapat pada hukum Newton kedua. Dengan adanya kesulitan untuk membedakan antara gerakan rotasi absolut dan relatif, kemudian Mach menyimpulkan bahwa rotasi dapat hanya dipahami sebagai kejadian relatif yang ada di alam semesta. Dan Mach kemudian mendefinisikan tentang kerangka inersial yaitu sebagai kerangka yang tidak mempunyai percepatan relatif terhadap "fixed star" (benda di angkasa yang dianggap tetap). Einstein menggabungkan penelitian oleh Galileo tentang percepatan sebuah benda dalam sebuah medan gravitasi tidak tergantung pada massanya dan digabung dengan teori dari Newton dan Mach yang menghasilkan Prinsip Ekuivalen. Pada teori ini masih tidak mungkin untuk membedakan dengan segera antara gaya gravitasi dengan gaya inersial, karena gaya inersial yang diukur tidak memakai referensi kerangka inersial, tetapi pada kenyataannya gaya gravitasi tersebut bekerja karena adanya "star" (suatu benda di angkasa yang mengeluarkan gaya tarik).

Dengan adanya suatu permasalahan bagaimana mengukur gaya dan gerakan pada kerangka inersial, yang merupakan suatu hal penting bagi permasalahan navigasi di

sekitar permukaan bumi. Kemudian disimpulkan bahwa sebuah kerangka yang mempunyai titik pusat pada pusat massa bumi dan tidak berotasi relatif terhadap "star" dianggap sebagai kerangka inersial.

Dianggap bahwa accelerometer adalah ideal dengan mempunyai sumbu saling orthogonal. Bentuk sederhana dari accelerometer dapat disusun dari penahan (damped dan pegas) yang menahan massa. Dari penahan tersebut dapat diukur suatu jarak perpindahan relatif terhadap suatu kerangka koordinat yang tetap pada bidang pembungkus (case) dari instrumen. Dari hukum Newton kedua output dari instrumen ini sebanding dengan perbedaan antara percepatan dengan memakai referensi kerangka inersial dan percepatan net gravitasi pada lokasi instrumen. Perbedaan ini sama dengan gaya yang bekerja pada accelerometer.

Maka didapat,

$$f^a = C_I^a \ddot{R}^I - \sum_k G_k^a \quad (2.8)^{3)}$$

di mana,

$C_I^a$  = Matriks transformasi koordinat dari sumbu Inersial I ke sumbu accelerometer a.

$\ddot{R}^I$  = Percepatan dengan referensi inersial.

$G_k$  = Percepatan Gravitasi pada lokasi sistem yang disebabkan oleh bodi ke k pada alam semesta.

3) Ibid, halaman 31

$f$  = Gaya khusus ( per satuan unit massa ) atau percepatan yang bekerja pada instrumen.

Kerangka accelerometer dalam pengukurannya ditunjukkan oleh tiap-tiap sumbu instrumen. Pada persamaan di atas efek gravitasi digambarkan dengan lengkap oleh distribusi benda di alam semesta dan tidak tergantung pada gerakannya. Gerakannya dihitung pada bentuk  $R^I$ .

Karena vektor posisi dengan referensi inersial  $R^I$ , meliputi jarak galaktika, maka dalam operasionalnya memakai kerangka yang berpusat pada pusat bumi yang tidak berotasi relatif terhadap "fixed star".

Didapat,

$$R = r + q \quad 4)$$

dan

$$C_I^a = C_i^a C_I^i \quad 5)$$

di mana,

$R$  = Vektor dari titik asal kerangka inersial ke lokasi instrumen.

$r$  = Vektor dari titik pusat bumi ke lokasi instrumen.

$q$  = Vektor dari titik asal kerangka inersial ke pusat bumi.

---

4) Ibid

5) Ibid, halaman 32

$C_I^i$  = Matriks transformasi koordinat dari sumbu inersial  $I$  ke sumbu inersial yang tidak berotasi yang berpusat pada pusat bumi.

Persamaan (2.8) dapat ditulis,

$$\ddot{r}^a = C_I^a C_I^i (\ddot{r}^I + \ddot{q}^I) - \sum_k G_k^a \quad (2.9)^{\text{6)}$$

Karena pusat massa bumi tersebut "bebas", dan percepatan pada bumi tersebut besarnya sama dan arahnya berlawanan terhadap percepatan net gravitasi pada pusat massa bumi, maka

$$\ddot{q}^I - \sum_k \check{G}_k^I = 0 \quad (2.10)^{7)}$$

di mana

$\check{G}_k^I$  = Percepatan gravitasi pada pusat massa bumi yang bekerja disebabkan oleh benda ke  $k$  di alam semesta ini.

Dengan mensubstitusikan persamaan di atas, didapat

$$\ddot{r}^a = C_I^a C_I^i \ddot{r}^I + \sum_k [G_k^a - \check{G}_k^a] \quad (2.11)^{8)}$$

Tetapi karena kerangka  $i$  tidak berotasi relatif terhadap frame  $I$ , maka

$$C_I^i \ddot{r}^I = \ddot{r}^i$$

<sup>6)</sup> Ibid, halaman 32

<sup>7)</sup> Ibid

<sup>8)</sup> Ibid

Akibat dari medan gravitasi bumi menjadi :

$$f^a = C_i^a \ddot{r}^i - G^a + \sum_k [ \overset{\circ}{G}_k^a - G_k^a ] \quad (2.12)^{9)}$$

di mana,

$k$  = Semua benda di alam semesta, kecuali bumi.

$G$  = Percepatan gravitasi akibat pengaruh bumi yang terjadi pada lokasi instrumen.

Pada persamaan di atas menunjukkan bahwa efek gravitasi untuk semua benda di alam semesta ini pada output accelerometer, merupakan perbedaan percepatan gravitasi pada pusat bumi dan pada lokasi instrumen.

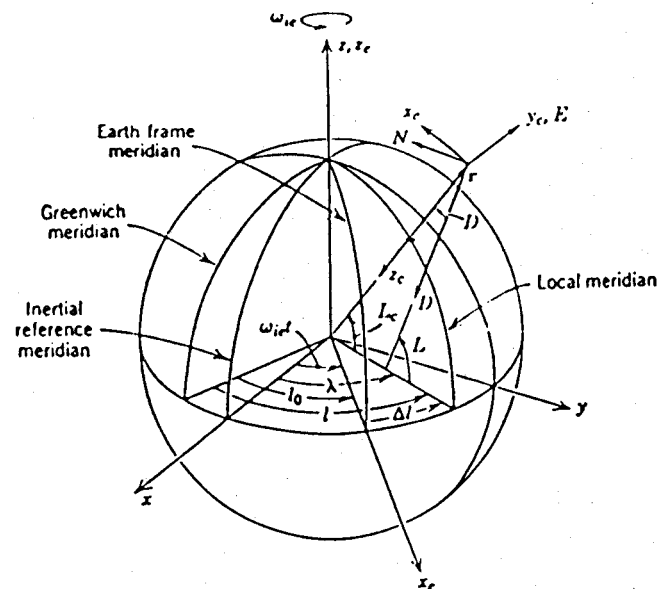
Pada lokasi navigasi sekitar permukaan bumi, efek gravitasi yang dipengaruhi oleh semua benda langit kecuali bumi dapat diabaikan. Sehingga output dari accelerometer dapat didekati dengan,

$$f^a = C_i^a \ddot{r}^i - G^a \quad (2.13)^{10)}$$

Persamaan di atas sangat penting karena merupakan output dari accelerometer yang sebanding dengan gaya khusus, yang dihubungkan dengan kerangka koordinat dari accelerometer.

<sup>9)</sup> Ibid

<sup>10)</sup> Ibid, halaman 33



GAMBAR 2.2 KERANGKA KOORDINAT GEOMETRI

11)

Kerangka inersial ini sangat penting untuk dipakai pada sistem praktis dari navigasi bumi yang merupakan kerangka yang tidak berotasi relatif terhadap "star" dan titik asalnya terletak pada pusat massa bumi. Kerangka inersial tampak pada gambar 2.2. Arah sumbu  $x$  dan  $y$  terletak pada bidang equator dan sumbu  $z$  bertepatan dengan tempat vektor kecepatan sudut bumi.

### 2.2.2 KERANGKA GEOGRAFIK ( kerangka $n$ , sumbu $N$ , $E$ , $D$ )

Kerangka geografik merupakan kerangka navigasi lokal yang mempunyai titik asal pada lokasi sistem dan

11) Ibid

sumbu-sumbunya sejajar dengan arah utara (North), timur (East) dan ke bawah (Down).

Kerangka geografik ini seperti terlihat pada gambar 2.2.

### 2.2.3. KERANGKA BUMI ( kerangka $e$ , sumbu $x_e$ , $y_e$ , $z_e$ )

Kerangka bumi adalah kerangka koordinat yang mempunyai titik asal pada pusat massa bumi dan mempunyai sumbu yang tetap di bumi. Sumbu-sumbunya disusun oleh kerangka bumi dan kerangka inersial pada saat  $t=0$  (saat awal navigasi).

Pada saat  $t=0$ , dari gambar 2.2 terlihat hubungan sebagai berikut :

$$l = l_o + \lambda - \omega_{ie} t$$

(2.14)<sup>12)</sup>

di mana,

$l$  = Garis bujur pada permukaan bumi yang dihitung dari Greenwich.

$\lambda$  = Garis bujur pada kerangka inersial.

$\omega_{ie}$  = Kecepatan sudut bumi terhadap kerangka inersial.

$t$  = Waktu.

### 2.2.4 KERANGKA GEOSENTRIK ( kerangka $c$ , sumbu $x_c$ , $y_c$ , $z_c$ )

Kerangka geosentrik merupakan kerangka navigasi lokal yang berpusat pada pusat lokasi sistem. Sumbu  $z_c$

<sup>12)</sup> Ibid, halaman 34

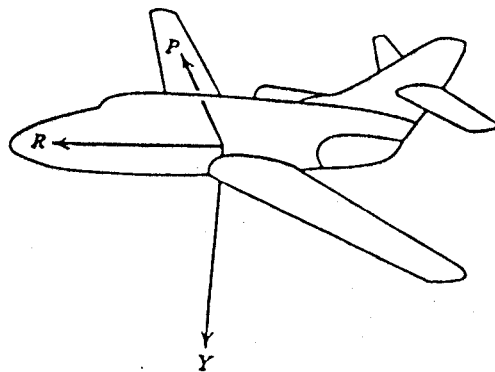


adalah arah kebalikan dari vektor posisi secara geosentrik,  $r$ . Sumbu  $y_c$  terletak pada arah timur (East) dan  $x_c$  terletak pada bidang meridian lokal, sesuai dengan konsep koordinat tangan kanan yang orthogonal.

#### 2.2.5. KERANGKA BODI ( kerangka b, sumbu R, P, Y )

Kerangka bodi merupakan sumbu dari pesawat, yaitu arah putar (Roll), angguk (Pitch) dan Yaw. Titik pusatnya terletak pada pusat massa dari pesawat. Pada umumnya, titik pusat kerangka bodi ini bertepatan dengan lokasi dari sistem navigasi.

Kerangka bodi ini seperti terlihat pada gambar 2.3.



GAMBAR 2.3 KERANGKA BODI

13)

13) Ibid, halaman 35

### 2.2.6 KERANGKA TANGEN ( kerangka $t$ , sumbu $x_t, y_t, z_t$ )

Koordinat tangen didefinisikan sebagai kerangka yang tetap di bumi yang sejajar (sama) dengan kerangka geografik yang terletak pada suatu posisi yang tetap di bumi. Lokasi tersebut biasanya tempat landing, radar petunjuk atau beberapa titik referensi.

### 2.2.7 HUBUNGAN KERANGKA-KERANGKA REFERENSI

Hubungan antara berbagai kerangka koordinat yang telah didefinisikan di atas ditulis dalam bentuk kecepatan sudut relatif dan transformasi koordinat antara dua kerangka koordinat

#### 2.2.7.1 Inersial - Geografik <sup>14)</sup>

$$\omega_{in}^n = \{ \dot{\lambda} \cos L, -\dot{L}, -\dot{\lambda} \sin L \}$$

$$\omega_{in}^i = \{ \dot{L} \sin \lambda, -\dot{L} \cos \lambda, \dot{\lambda} \}$$

$$C_n^i = \begin{bmatrix} -\sin L \cos \lambda & -\sin \lambda & -\cos L \cos \lambda \\ -\sin L \sin \lambda & \cos \lambda & -\cos L \sin \lambda \\ \cos L & 0 & -\sin L \end{bmatrix}$$

di mana,

$L$  = Garis lintang secara geografik

#### 2.2.7.2 Inersial - Bumi <sup>15)</sup>

$$\omega_{ie}^i = \omega_{ie}^e = \{ 0, 0, \omega_{ie} \}$$

<sup>14)</sup> Ibid

<sup>15)</sup> Ibid, halaman 36

$$C_e^i = \begin{bmatrix} \cos \omega_{ie} t & -\sin \omega_{ie} t & 0 \\ \sin \omega_{ie} t & \cos \omega_{ie} t & 0 \\ 0 & 0 & 1 \end{bmatrix}$$

#### 2.2.7.3 Inersial - Geosentrik <sup>16)</sup>

$$\omega_{ic}^c = \{ \dot{\lambda} \cos L_c, -\dot{L}_c, -\dot{\lambda} \sin L_c \}$$

$$\omega_{ic}^i = \{ \dot{L}_c \sin \lambda, -\dot{L}_c \cos \lambda, \dot{\lambda} \}$$

$$C_c^i = \begin{bmatrix} -\sin L_c \cos \lambda & -\sin \lambda & -\cos L_c \cos \lambda \\ -\sin L_c \sin \lambda & \cos \lambda & -\cos L_c \sin \lambda \\ \cos L_c & 0 & -\sin L_c \end{bmatrix}$$

di mana,

$L_c$  = Garis lintang secara geosentrik

#### 2.2.7.4 Geografik - Geosentrik <sup>17)</sup>

$$\omega_{nc}^c = \omega_{nc}^n = \{ 0, \dot{D}, 0 \}$$

$$C_c^n = \begin{bmatrix} \cos D & 0 & \sin D \\ 0 & 1 & 0 \\ -\sin D & 0 & \cos D \end{bmatrix}$$

di mana

$D = (L - L_c) = \text{Deviasi normal}$

#### 2.2.7.5 Bumi - Geografik <sup>18)</sup>

$$\omega_{en}^n = \{ \dot{l} \cos L, -\dot{L}, -\dot{l} \sin L \}$$

$$\omega_{en}^e = \{ \dot{L} \sin \Delta l, -\dot{L} \cos \Delta l, \dot{l} \}$$

<sup>16)</sup> Ibid

<sup>17)</sup> Ibid

<sup>18)</sup> Ibid

$$C_n^* = \begin{bmatrix} -\sin L \cos \Delta l & -\sin \Delta l & -\cos L \cos \Delta l \\ -\sin L \sin \Delta l & \cos \Delta l & -\cos L \sin \Delta l \\ \cos L & 0 & -\sin L \end{bmatrix}$$

di mana,

$\Delta l = l - l_0$  = Perubahan garis bujur bumi dari awal navigasi ( saat  $t = 0$  )

#### 2.2.7.6 Inersial - Bodi <sup>19)</sup>

$$\omega_{ib}^i = \{ \omega_R, \omega_P, \omega_Y \}$$

di mana  $\omega_R, \omega_P, \omega_Y$  adalah kecepatan sudut pesawat berupa gerakan putar (Roll), angguk (Pitch) dan Yaw dengan referensi inersial. Transformasi koordinat dari kerangka bodi ke kerangka inersial merupakan sebuah fungsi waktu yang lengkap dari gerakan sudut pesawat.

#### 2.2.7.7 Inersial - Tangen <sup>20)</sup>

$$\omega_{it}^t = \{ \omega_{ie} \cos L_0, 0, -\omega_{ie} \sin L_0 \}$$

$$C_i^t = \begin{bmatrix} -\sin L_0 \cos \omega_{ie} t & -\sin L_0 \sin \omega_{ie} t & \cos L_0 \\ -\sin \omega_{ie} t & \cos \omega_{ie} t & 0 \\ -\cos L_0 \cos \omega_{ie} t & -\cos L_0 \sin \omega_{ie} t & -\sin L_0 \end{bmatrix}$$

di mana

$L_0$  = Garis lintang secara geografik pada titik asal dari bidang tangen.

<sup>19)</sup> Ibid, halaman 37

<sup>20)</sup> Ibid

2.2.7.8 Tangen - Geografik <sup>21)</sup>

$$\omega_{in}^n = \{ \dot{l} \cos L, -\dot{L}, -\dot{l} \sin L \}$$

$$C_t^n = \begin{bmatrix} \sin L \sin L_o \cos(l-l_o) - \sin L \sin(l-l_o) \sin L_o \cos L \cos(l-l_o) \\ + \cos L \cos L_o & -\sin L_o \cos L \\ \sin L_o \sin(l-l_o) & \cos(l-l_o) & \cos L_o \sin(l-l_o) \\ \sin L_o \cos L \cos(l-l_o) - \cos L \sin(l-l_o) \cos L_o \cos L_o \cos(l-l_o) \\ - \sin L \cos L_o & + \sin L \sin L_o \end{bmatrix}$$

Matriks transformasi di atas dapat didekati dengan deret ekspansi guna mengaplikasikan suatu keadaan bahwa titik asal kerangka tangen dan kerangka geografik hanya dipisahkan oleh jarak yang pendek.

$$C_t^n = \begin{bmatrix} 1 - \frac{\Delta L^2}{2} - \sin^2 L_o \frac{\Delta l^2}{2} & -\Delta l (\sin L_o + \Delta L \cos L_o) & -\Delta L - \frac{\Delta l^2}{4} \sin 2L_o \\ \Delta l \sin L_o & 1 - \frac{\Delta l^2}{2} & \Delta l \cos L_o \\ -\Delta L - \frac{\Delta l^2}{4} \sin 2L_o & -\Delta l (\cos L_o - \Delta L \cos L_o) & 1 - \frac{\Delta L^2}{2} - \frac{\Delta l^2}{2} \cos^2 L_o \end{bmatrix}$$

di mana,

$$\Delta L = L - L_o$$

$$\Delta l = l - l_o$$

Dan bila didekati secara linier, maka

$$C_t^n = \begin{bmatrix} 1 & -\Delta l \sin L_o & \Delta L \\ \Delta l \sin L_o & 1 & \Delta l \cos L_o \\ -\Delta L & -\Delta l \cos L_o & 1 \end{bmatrix}$$

<sup>21)</sup> Ibid

## 2.3 GEOMETRI BUMI

### 2.3.1 VEKTOR POSISI SECARA GEOSENTRIK

Sangat perlu untuk menentukan vektor posisi terhadap bumi dalam bentuk vektor posisi secara geosentrik,  $r$ , karena gaya inersial yang merupakan output dari accelerometer merupakan perbedaan antara turunan kedua dari vektor posisi secara geosentrik dengan medan gravitasi.

Dari gambar 2.4. diperoleh,

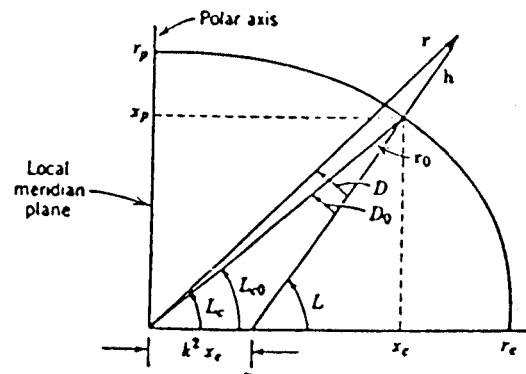
$$r^i = \{ r \cos L_c \cos \lambda, r \cos L_c \sin \lambda, r \sin L_c \} \quad (2.15)$$

di mana,

$r$  = besar vektor posisi secara geosentrik.

$L_c$  = Garis lintang secara geosentrik.

$\lambda$  = Garis bujur.



GAMBAR 2.4 HUBUNGAN JARI-JARI DENGAN KETINGGIAN PADA BUMI

22)

Dari gambar di atas juga diperoleh,

$$r^n = \{ -r \sin D, 0, -r \cos D \} \quad (2.16)$$

di mana,

$$D = L - L_c \quad (2.17)$$

= Deviasi normal.

Vektor posisi secara geosentrik dapat ditulis dalam jari-jari dan ketinggian di atas bentuk elips sebagai referensi, seperti terlihat pada gambar di atas.

$$r = r_o + h$$

di mana,

$r_o$  = vektor posisi secara geosentrik pada titik di bawah lokasi sistem secara langsung yang terletak pada permukaan bumi.

$h$  = vektor ketinggian dari sistem di atas bentuk elips sebagai referensi.

karena,

$$r_o^n = \{ -r_o \sin D_o, 0, -r_o \cos D_o \} \quad (2.18)$$

dan

$$h^n = \{ 0, 0, -h \} \quad (2.19)$$

maka diperoleh,

$$r^n = \{ -r_o \sin D_o, 0, -r_o \cos D_o - h \} \quad (2.20)$$

Ekspresi yang tepat untuk kwadrat vektor jari-jari secara geosentrik tersebut didapat dari jumlahan kwadrat komponen

komponennya,

$$r^2 = r_o^2 + 2 r_o h \cos D_o + h^2 \quad (2.21)$$

dan diperoleh akarnya,

$$r = [(r_o + h)^2 - 2 h r_o (1 - \cos D_o)]^{1/2}$$

$$r = (r_o + h) \left[ 1 - \frac{2 h r_o (1 - \cos D_o)}{(r_o + h)^2} \right]^{1/2}$$

Dan karena besarnya  $(1 - \cos D_o) \approx D_o^2/2$  pada ketelitian  $1/10^\circ$ , serta hasilnya akan mencapai maksimum pada garis lintang  $45^\circ$ , di mana  $D_o \approx 1/297$  radian, maka didapat

$$r = r_o + h - 1.1 - 3.2 \times 10^{-8} - \dots$$

Setelah dievaluasi, persamaannya bisa diasumsikan sebagai berikut :

$$r = r_o + h \quad (2.22)$$

### 2.3.2 DEVIASI NORMAL

Deviasi Normal didefinisikan sebagai sudut antara arah vertikal secara geosentrik dengan arah vertikal secara geografik.

$$D \triangleq L - L_c$$

Dari gambar 2.4 memperlihatkan hubungan secara geometri,



sebagai berikut,

$$\frac{\sin D}{k^2 x_o^2} = \frac{\sin (\pi - L)}{r} \quad (2.23)$$

di mana,

$$k = (1 - r_p^2 / r_o^2)^{1/2}$$

$r_o$  = Jari-jari equator bumi

$r_p$  = Jari-jari kutub bumi

$x_o$  = Proyeksi vektor pada bidang equator

Dari persamaan di atas nantinya didapat,

$$\sin D = e \frac{r_o}{r_o + h} \left(1 - \frac{e}{2}\right) \sin 2L \cos D_o + 2e \left(1 - \frac{e}{2}\right) \frac{r_o}{r_o + h} \sin^2 L \sin D_o$$

dan,

$$D = e \sin 2L + \epsilon \quad (2.24)$$

di mana,

$$e = \frac{r_o - r_p}{r_o}$$

$$\epsilon = -e \sin 2L (e/2 + h/r_o + \dots) \leq 1.6 \text{ arc sec}$$

untuk  $h = 100.000 \text{ ft.}$

atau

$$D = e \left(1 - \frac{h}{r_o}\right) \sin 2L \quad (2.25)$$

### 2.3.3 BESAR JARI-JARI BUMI

Vektor jari-jari bumi yang dipakai dalam navigasi inersial ditentukan sebagai vektor dari pusat bumi ke

permukaan bumi dengan memakai referensi elipsoida. Karena referensi elipsoida tersebut simetri pada sumbu kutub bumi, maka hanya perlu bekerja pada persamaan bidang meridian. Dari gambar 2.4 didapat persamaan meridian elips sebagai berikut:

$$\frac{x_e^2}{r_e^2} + \frac{x_p^2}{r_p^2} = 1 \quad (2.26)$$

dan  $x_e^2 = r_o^2 \cos^2 L_{co}$

$$x_p^2 = r_o^2 \sin^2 L_{co}$$

sehingga persamaan di atas dapat ditulis,

$$r_o^2 = \frac{r_p^2}{1 - \left[ 1 - \left( \frac{r_p}{r_e} \right)^2 \right] \cos^2 L_{co}} \quad (2.27)$$

Besaran di dalam kurung tersebut dianggap sebagai kwadrat dari "eccentricitas elipsoida", maka didapat persamaan sebagai berikut :

$$r_o = r_p \left[ 1 + \frac{k^2}{2} \cos^2 L_{co} + \frac{3}{8} k^4 \cos^4 L_{co} + \frac{5}{16} k^6 \cos^6 L_{co} + \dots \right] \quad (2.28)$$

di mana,

$$k = \left[ 1 - \left( \frac{r_p}{r_e} \right)^2 \right]^{1/2} = \text{eccentricitas elipsoida}$$

atau,

$$r_o = r_e \left[ 1 - \frac{e}{2} (1 - \cos 2L) + \frac{5}{16} e^2 (1 - \cos 4L) - \dots \right] \quad (2.29)$$

### 2.3.4 MEDAN GRAVITASI BUMI

Karena output accelerometer sebanding dengan perbedaan antara percepatan yang memakai referensi secara inersial dengan percepatan gravitasi bumi pada lokasi sistem, maka perlu untuk membahas bentuk analit medan gravitasi bumi.

Dan untuk permasalahan navigasi di sekitar bumi dianggap gaya gravitasi terjadi hanya diakibatkan oleh bumi saja dengan menghilangkan efek yang disebabkan oleh matahari, bulan dan benda langit lainnya.

Medan gravitasi,  $G$  adalah sebuah vektor yang diperoleh dari sebuah fungsi skalar yang memenuhi hubungan sebagai berikut,

$$G = \nabla U$$

23)  
(2.30)

di mana,

$\nabla$  = vektor gradien

$U$  = potensial gravitasi

Untuk mendapatkan harga  $U$  dalam koordinat bola,  $\rho$ ,  $\beta$  dan  $\theta$  didefinisikan dengan persamaan : (tampak pada gambar 2.5)

$$U(r, \phi, \Delta l) = N \iiint \frac{dm}{|r - \rho|} \quad (2.31)$$

di mana,

$U(r, \phi, \Delta l)$  = Gravitasi potensial pada suatu titik di atas permukaan bumi, dengan koordinat  $r, \phi, \Delta l$ .

23) Ibid, halaman 49

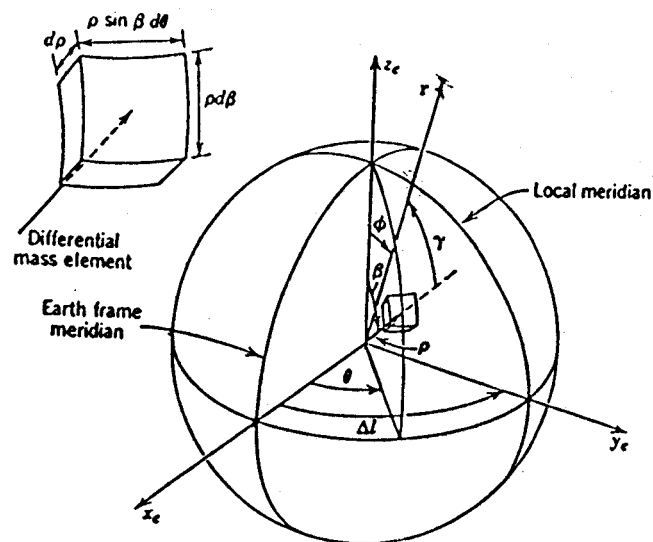
24) Ibid

$N$  = Konstanta umum gravitasi.

$$dm = D(\rho, \beta, \theta) \rho^2 \sin \beta \, d\rho d\beta d\theta$$

= diferensial massa.

$D(\rho, \beta, \theta)$  = kerapatan massa.



GAMBAR 2.5 GEOMETRI GRAVITASI POTENSIAL

Dengan menyelesaikan  $|r - \rho|$  dalam polinomial Legendre pada koordinat bola serta menganggap  $D(\rho, \beta, \theta) = D(\rho, \beta)$ , maka didapat,

$$U(r, \phi) = -\frac{N}{r} \iiint dm + \frac{N}{r^2} \cos \phi \iiint \rho \cos \beta \, dm + \sum_{k=2}^{\infty} \frac{A_k}{r^{k+1}} P_k(\cos \phi) \quad 25)$$

di mana,

$$A_k = N \iiint \rho^k P_k(\cos \beta) \, dm \quad 26)$$

Pada persamaan di atas terlihat bahwa  $U(r, \phi)$  tidak tergantung dengan garis bujur bumi. Perwujudan integral

25) Ibid, halaman 50

26) Ibid, halaman 51

yang pertama merupakan total massa, sedangkan besaran  $\rho \cos \beta \, dm$  pada integral yang kedua merupakan jarak dari bidang equator ke  $dm$ . Pusat pengukuran dari total massa sama dengan pusat koordinat bola dari bumi, maka

$$\iiint \rho \cos \beta \, dm = 0$$

Sehingga persamaan di atas akan didapat,

$$U(r, \phi) = \frac{\mu}{r} \left[ 1 - \sum_{k=2}^{\infty} \left( \frac{r_{\oplus}}{r} \right)^k J_k P_k(\cos \phi) \right] \quad (2.32)^{27)}$$

di mana,

$$\mu = N m$$

= perkalian antara massa bumi dengan konstanta umum gravitasi.

$$J_k = - \frac{A_k}{r_{\oplus}^k \mu}$$

Harga-harga dalam persamaan di atas adalah sebagai berikut :

$$\mu = (1.407645 \pm 0.000011) \times 10^{16} \text{ ft}^3 / \text{sec}^2$$

$$r_{\oplus} = 20925696 \pm 82 \text{ ft}$$

$$J_2 = (1.08230 \pm 0.00020) \times 10^{-3}$$

$$J_3 = (-2.3 \pm 0.1) \times 10^{-6}$$

$$J_4 = (-1.8 \pm 0.2) \times 10^{-6}$$

---

27) Ibid

dan polinomial Legendre untuk  $k=2,3,4$  adalah :

$$P_2(\cos \phi) = \frac{1}{2}(3\cos^2 \phi - 1) = \frac{1}{4}(3 \cos 2\phi + 1)$$

$$P_3(\cos \phi) = \frac{1}{2}(5\cos^3 \phi - 3 \cos \phi) = \frac{1}{8}(5 \cos 3\phi + 3 \cos \phi)$$

$$P_4(\cos \phi) = \frac{1}{2}(35\cos^4 \phi - 3\cos^2 \phi + 3) = \frac{1}{64}(35\cos 4\phi + 20\cos 2\phi + 9)$$

Dari persamaan 2.30 di atas dengan nilai  $U(r, \phi)$  seperti pada persamaan 2.32 dan

$$\nabla = \frac{\partial}{\partial r} \mathbf{i}_r + \frac{1}{r} \frac{\partial}{\partial \phi} \mathbf{i}_\phi$$

maka didapat persamaan vektor medan gravitasi bumi pada koordinat bola sebagai berikut,

$$\mathbf{G} = G_r \mathbf{i}_r + G_\phi \mathbf{i}_\phi \quad (2.33)$$

di mana komponen-komponennya adalah sebagai berikut,

$$G_r = -\frac{\mu}{r^2} \left[ 1 - \frac{3}{2} J_2 \left( \frac{r_\oplus}{r} \right)^2 (3\cos^2 \phi - 1) - 2J_3 \left( \frac{r_\oplus}{r} \right)^3 \cos \phi (5\cos^2 \phi - 3) - \frac{5}{8} J_4 \left( \frac{r_\oplus}{r} \right)^4 (35\cos^4 \phi - \cos^2 \phi + 3) \right] \quad (2.34)^{28)}$$

$$G_\phi = 3 \frac{\mu}{r^2} \left( \frac{r_\oplus}{r} \right)^2 \sin \phi \cos \phi \times \left[ J_2 + \frac{1}{2} J_3 \left( \frac{r_\oplus}{r} \right) \sec \phi (5\cos^2 \phi - 1) + \frac{5}{8} J_4 \left( \frac{r_\oplus}{r} \right)^2 (7\cos^2 \phi - 3) \right] \quad (2.35)^{29)}$$

Persamaan 2.33 di atas dapat ditulis dalam bentuk koordinat geosentrik,

28) Ibid, halaman 54

29) Ibid

$$G^c = \{ -G_\phi, 0, -G_r \} \quad (2.36)$$

dan bila ditransformasikan ke koordinat inersial,

$$G^i = C_c^i G^c$$

akan menghasilkan,

$$G^i = \begin{bmatrix} (G_r + G_\phi \tan L_c) \frac{r_x}{r} \\ (G_r + G_\phi \tan L_c) \frac{r_y}{r} \\ (G_r - G_\phi \cot L_c) \frac{r_z}{r} \end{bmatrix} \quad (2.37)$$

di mana,

$$\frac{r^i}{r} = \left\{ \frac{r_x}{r}, \frac{r_y}{r}, \frac{r_z}{r} \right\} = \left\{ \cos L_c \cos \lambda, \cos L_c \sin \lambda, \sin L_c \right\}$$

dan,

$$G_x = -\frac{\mu}{r^2} \left\{ 1 + \frac{3}{2} J_2 \left( \frac{r_\oplus}{r} \right)^2 \left[ 1 - 5 \left( \frac{r_z}{r} \right)^2 \right] \right\} \frac{r_x}{r} \quad (2.38a)^{30)}$$

$$G_y = -\frac{\mu}{r^2} \left\{ 1 + \frac{3}{2} J_2 \left( \frac{r_\oplus}{r} \right)^2 \left[ 1 - 5 \left( \frac{r_z}{r} \right)^2 \right] \right\} \frac{r_y}{r} \quad (2.38b)^{30)}$$

$$G_z = -\frac{\mu}{r^2} \left\{ 1 + \frac{3}{2} J_2 \left( \frac{r_\oplus}{r} \right)^2 \left[ 3 - 5 \left( \frac{r_z}{r} \right)^2 \right] \right\} \frac{r_z}{r} \quad (2.38c)^{30)}$$

## 2.4 ACCELEROMETER

### 2.4.1 PRINSIP DASAR

Bila sebuah benda dengan massa  $M$  kg dikenai

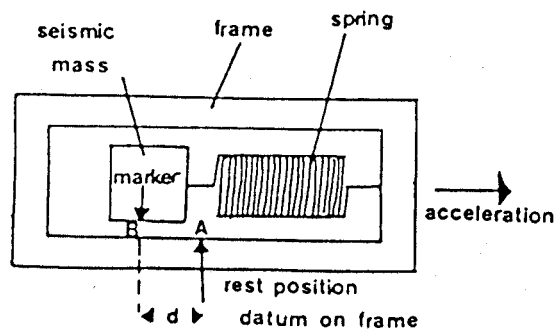
<sup>30)</sup> Ibid, halaman 55

sebuah gaya sebesar  $F$  Newton, maka benda tersebut akan mengalami suatu percepatan sebesar  $a \text{ ms}^{-2}$ . Hal ini sesuai dengan Hukum Newton yang kedua.

$$F = M a$$

(2.39)

Dan juga sebaliknya, bila sebuah benda melakukan percepatan pasti terdapat gaya yang bekerja pada benda tersebut



31)

GAMBAR 2.6 ACCELEROMETER

Prinsip kerja Accelerometer terlihat pada gambar 2.6. Sebuah massa ditahan oleh sebuah pegas yang mempunyai konstanta pegas,  $K$ . Pada posisi netral (null), massa pada posisi A. Bila benda melakukan percepatan  $a$ , maka akan terdapat gaya yang bekerja pada massa, seperti persamaan 2.39 di atas. Hal ini menyebabkan massa akan bergerak ke kiri menuju posisi B, sampai gaya yang disebabkan oleh percepatan seimbang dengan gaya tahan yang dilakukan oleh pegas.

31) E. A. Parr, BSc, C.Eng., MIEE, Industrial Control Handbook, Volume 1, Collins, 1986, halaman 208.



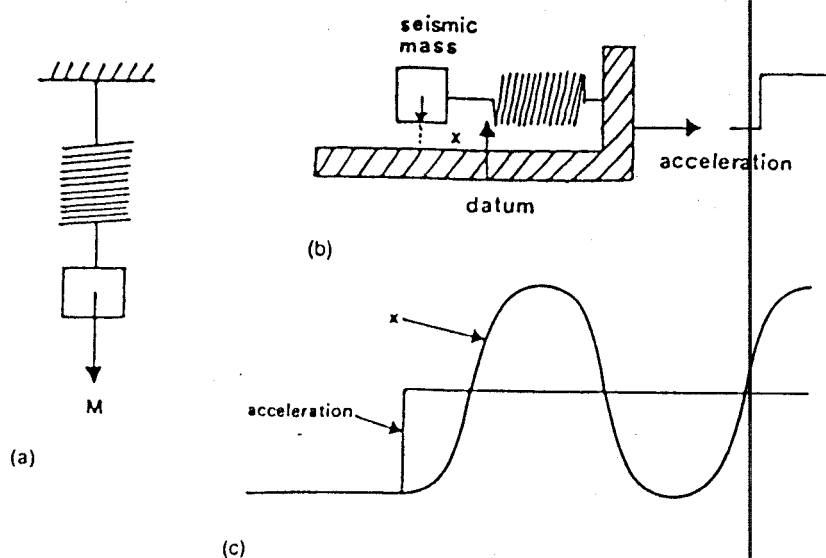
$$M a = dK$$

(2.40)

Terlihat pada rumus di atas, perpindahan sebanding dengan percepatan.

#### 2.4.2 SISTEM ORDE DUA

Pada gambar 2.7a terlihat sebuah massa yang menggantung yang ditahan oleh sebuah pegas. Bila massa pada gambar 2.7a tersebut ditarik ke bawah dan kemudian dilepaskan, maka massa akan berosilasi dengan amplitudo yang makin mengecil sampai pada posisi semula. Hal tersebut dapat menerangkan tentang osilasi yang terjadi pada massa dalam accelerometer.



GAMBAR 2.7 RESPON STEP ACCELEROMETER YANG TAK TEREDAM

(a) MASSA/PEGAS YANG BEROSILASI (b) ACCELEROMETER DENGAN PERUBAHAN PERCEPATAN BERUPA STEP (c) RESPON ACCELEROMETER

Pada gambar 2.7b accelerometer digunakan untuk mengukur perubahan berupa step pada percepatan,  $a$ . Massa akan tertinggal oleh frame. Maka total percepatan yang terjadi pada massa adalah  $[a - (d^2x/dt^2)]$ . Sehingga persamaan 2.40 dapat ditulis :

$$M \left[ a - \frac{d^2x}{dt^2} \right] = x K \quad (2.41)$$

atau,

$$\frac{d^2x}{dt^2} + \frac{Kx}{M} = a \quad (2.42)$$

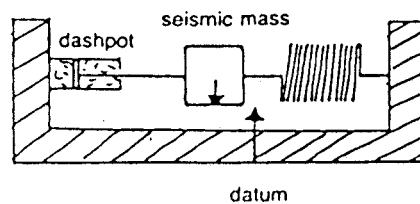
Bila  $K/M$  dinotasikan dengan  $\omega_n^2$ , persamaan 2.42 menjadi

$$\frac{d^2x}{dt^2} + \omega_n^2 x = a \quad (2.43)$$

Maka persamaan akhir orde kedua dapat ditulis dalam bentuk sinusoidal berikut ini :

$$x = \frac{Ma}{K} (1 - \cos \omega_n t) \quad (2.44)$$

yang terlihat seperti pada gambar 2.7c. Pada gambar terlihat harganya konstan dengan mengandung bentuk sinus dengan frekuensi  $\omega_n/2\pi$  (dimana  $\omega_n = \sqrt{K/M}$ ) dan harga rata-ratanya sama dengan harga perpindahan dalam keadaan tunak (steady state) sebesar  $Ma/K$ .



GAMBAR 2.8 ACCELEROMETER DENGAN DIBERI REDAMAN

Untuk menghilangkan osilasi tersebut, digunakan gaya viskositas, yang sebanding dengan kecepatan. Pada gambar 2.8 terlihat sebuah accelerometer diberi tambahan sebuah dashpot yang akan meredam osilasi.

Maka gaya yang bekerja,

$$Kx + C \frac{dx}{dt}$$

sehingga persamaan 2.41 menjadi

$$M \left[ a - \frac{d^2x}{dt^2} \right] = x K + C \frac{dx}{dt} \quad (2.45)$$

dan dapat ditulis sebagai berikut :

$$\frac{d^2x}{dt^2} + \frac{C}{M} \frac{dx}{dt} + \frac{K}{M} x = a \quad (2.46)$$

Persamaan di atas terdiri dari dua bagian, yaitu bagian transien dan bagian keadaan tunak (steady state). Bagian keadaan tunak,  $x = Ma/K$ , seperti telah diterangkan sebelumnya. Untuk menerangkan bagian transien,

33) Ibid, halaman 270

didefinisikan faktor redaman (damping) sebagai,

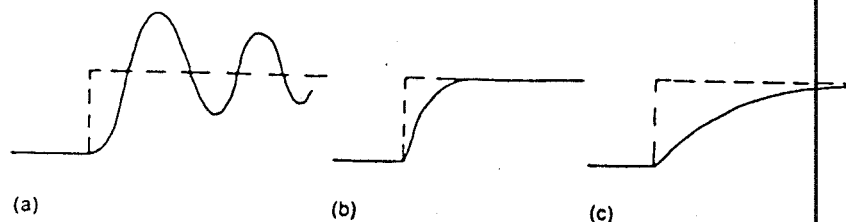
$$b = \frac{C}{2 \sqrt{mK}} \quad (2.47)$$

Dan mendefinisikan  $\omega_n$  seperti definisi sebelumnya, maka persamaan 2.46 menjadi :

$$\frac{d^2 x}{dt^2} + 2 b \omega_n \frac{dx}{dt} + \omega_n^2 x = a \quad (2.48)$$

Untuk  $b < 1$  ( Underdamped ), sistem akan berosilasi dengan penurunan secara eksponensial, seperti terlihat pada gambar 2.9a. Pada kasus dimana  $b = 0$ , berarti tidak ada redaman sama dengan persamaan 2.43 yang terlihat pada gambar 2.7c.

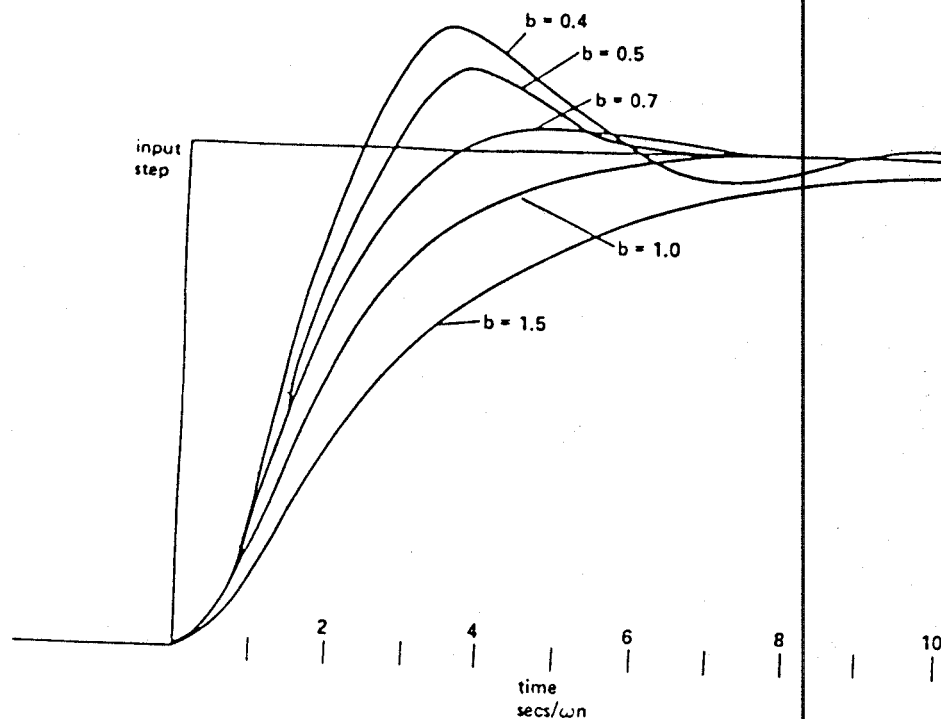
Untuk  $b > 1$  ( Overdamped ), sistem tidak akan berosilasi, dan mencapai keadaan tunak seperti terlihat pada gambar 2.9c. Untuk  $b = 1$  (Critically damped), adalah suatu keadaan transisi antara overdamped dan underdamped.



GAMBAR 2.9 AKIBAT DIBERI DAMPING (a) UNDERDAMPED

(b) CRITICALLY DAMPED (c) OVERDAMPED

Pada gambar 2.10 di bawah ini terlihat respon untuk masukan fungsi tangga dengan bermacam-macam harga faktor redaman (damping).



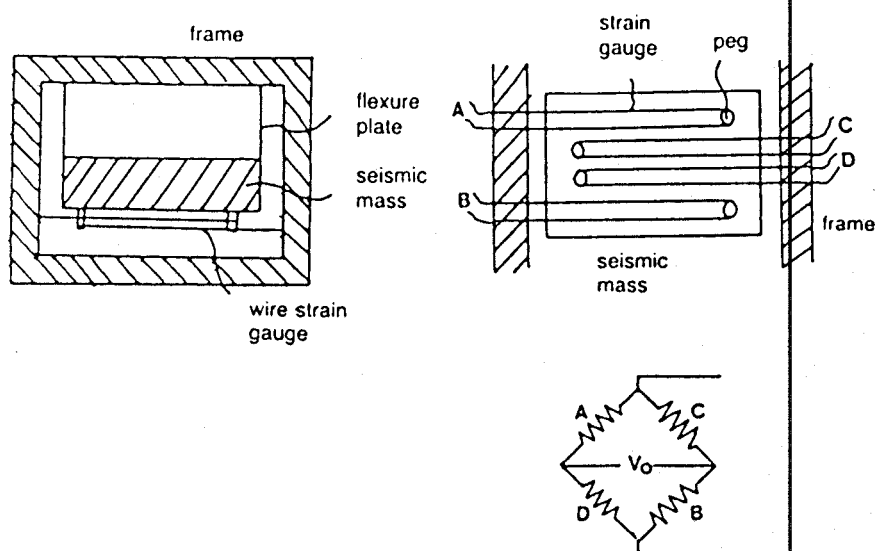
GAMBAR 2.10 RESPON UNTUK MASUKAN FUNGSI TANGGA  
DENGAN BERMACAM-MACAM HARGA FAKTOR REDAMAN (DAMPING)

#### 2.4.3 MACAM-MACAM ACCELEROMETER

Pada gambar 2.11 tampak sebuah accelerometer yang menggunakan massa yang tergantung pada membran tipis yang fleksibel dan ditahan oleh kawat yang berperan sebagai "strain gauge" (besaran ketegangan). Bila accelerometer ini mengalami percepatan ke kanan, gauge dari A dan B akan

35) Ibid, halaman 272

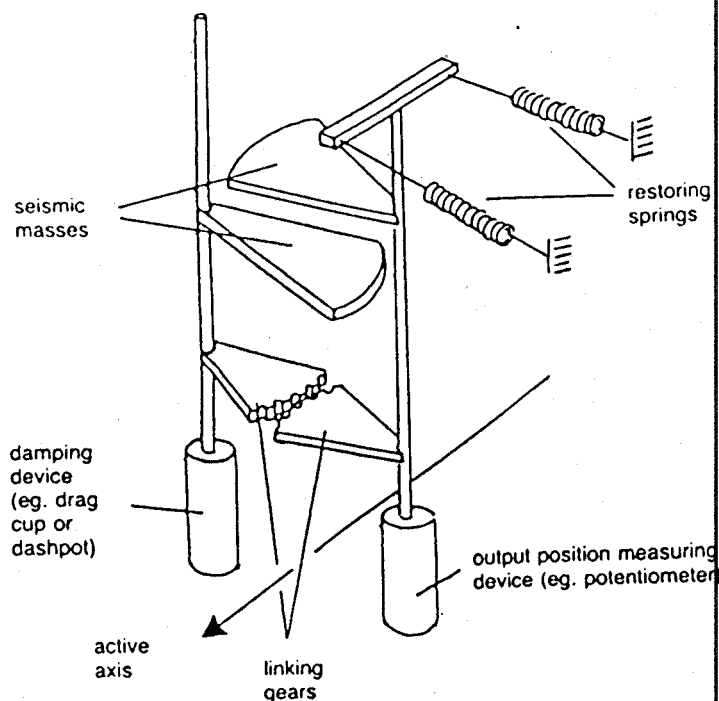
berkurang serta C dan D akan bertambah. Hal ini dapat dihubungkan ke "Rangkaian Jembatan" untuk menghasilkan tegangan output yang menunjukkan percepatan. Sebagai membran tipis dan strain gauge tersebut digunakan pegas. "Viscous Damping" diperoleh dengan mengisi accelerometer dengan pelumas (oli), sehingga gerakan membran tipis serta massa tersebut akan menghasilkan gaya redaman.



GAMBAR 2.11 ACCELEROMETER STRAIN GAUGE (a) TAMPAK SAMPING  
(b) TAMPAK ATAS (c) HUBUNGAN JEMBATAN DARI GAUGE

Contoh lain accelerometer dengan menggunakan massa yang terayun seperti tampak pada gambar 2.12. Untuk menjelaskan dengan sederhana, frame penyangga dan poros penyangga diabaikan. Sumbu aktif terletak tegak lurus

dengan garis yang menghubungkan kedua poros. Bila accelerometer mengalami percepatan, kedua massa berotasi, gaya penahan dilakukan oleh pegas. Percepatan diukur pada salah satu poros dan redaman dilakukan oleh poros yang lainnya.

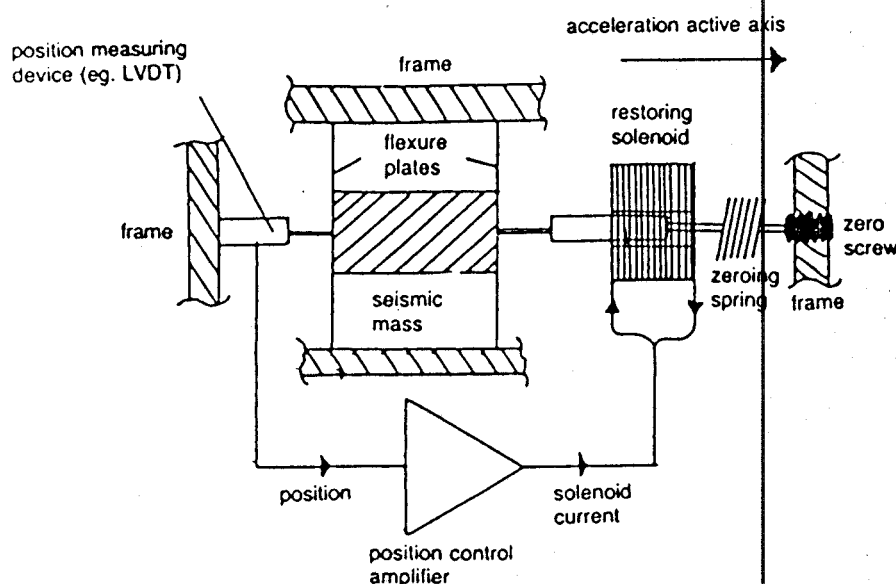


GAMBAR 2.12 ACCELEROMETER DENGAN MASSA TERAYUN

Accelerometer hanya mengukur percepatan sepanjang satu sumbu dan mengabaikan percepatan pada sumbu yang lain. Maka untuk mengukur percepatan pada tiga dimensi diperlukan tiga accelerometer.

Accelerometer dengan menggunakan Teknik Penyeimbangan Gaya tampak pada gambar 2.13, dengan menyamakan

gaya  $M_a$  dengan gaya elektromagnet. Bila accelerometer mengalami percepatan ke kanan, massa ketinggalan atau didahului oleh framenya. Defleksi diukur oleh LVDT dan amplifier akan menaikkan arus ke kumparan penahan untuk menempatkan massa kembali ke posisi semula. Arus pada kumparan diukur sebagai percepatan.

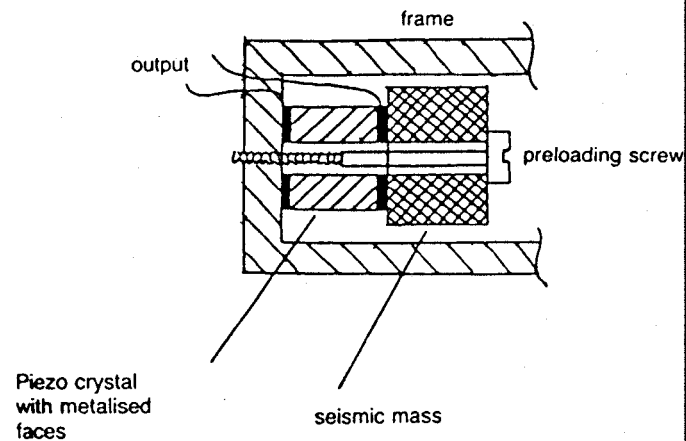


GAMBAR 2.13 ACCELEROMETER DENGAN GAYA SEIMBANG

Pada gambar 2.14 tampak accelerometer dengan menggunakan efek Piezo-Electric. Massa ditempelkan langsung pada kristal Piezo-Electric yang dapat digunakan mengukur gaya  $M_a$  secara langsung. Kristal Piezo Electric tersebut ditahan secara permanen oleh sekrup. Percepatan pada sumbu yang aktif menghasilkan gaya  $M_a$  pada kristal yang akan menghasilkan output tegangan yang menunjukkan percepatan.

38) Ibid, halaman 276





GAMBAR 2.14 ACCELEROMETER PIEZO-ELECTRIC

## 2.5 RING LASER GYRO

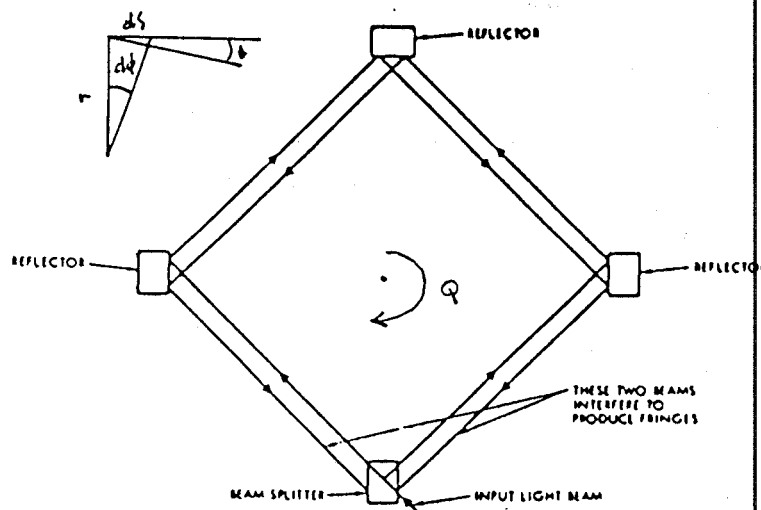
Pada dekade terakhir ini teknologi LASER (Light Amplification by Stimulated Emission of Radiation) telah berkembang dengan pesat dan telah banyak diaplikasikan ke berbagai proses industri dan teknik-teknik kedokteran. Teknologi LASER ini juga telah dikembangkan pada industri penerbangan dengan ditemukannya Ring Laser Gyro (RLG).

Ring Laser Gyro ini telah menyebabkan perubahan dalam disain dan operasi dari Sistem Navigasi Inersial. Alat tersebut, yang menggunakan sensor seperti tersebut di atas, sangat tepat untuk dipakai pada sistem strapdown menggantikan gimbal, torsi motor, atau bagian yang berotasi lainnya.

39) Ibid

Ring laser gyro ini merupakan alat baru dan sekarang merupakan alat yang utama pada Sistem Navigasi Inersial. Prinsip operasi dari Ring Laser Gyro didasari oleh "Sagnac Effect".

Pada eksperimen yang dilakukan oleh Sagnac, sumber cahaya, pengamat dan instrumennya diperlihatkan seperti gambar 2.15. Prinsip fisika tentang interferensi ditunjukkan dengan memakai sinar colinear yang berotasi berlawanan pada suatu ruangan optik yang tertutup. Tiap-tiap sinar tersebut menempuh jarak yang sama dan tiba kembali pada titik awal dengan hubungan phase yang tetap bila instrumen tersebut stasioner (tidak bergerak/tetap). Dan dua lintasan optik tersebut tidak sama panjangnya bila instrumen Sagnac Interferometer tersebut berotasi.



GAMBAR 2.15 SAGNAC INTERFEROMETER

40) Application of The Ring Laser Gyro (RLG) to Strapdown Navigation Systems, Litton Aero Products, 1980, halaman 11.

Untuk menerangkan hal tersebut, dengan menentukan waktu yang dibutuhkan oleh dua sinar untuk tiba kembali pada titik asal. Pada gambar di atas, sudut  $\theta$  menunjukkan rotasi instrumen.

$$\cos \theta = r \frac{d\phi}{ds} \quad (2.49)$$

$$\begin{aligned} V_n &= c - Q r \cos \theta \\ &= c - r^2 Q \frac{d\phi}{ds} \end{aligned} \quad (2.50)$$

$$V_p = c + r^2 Q \frac{d\phi}{ds} \quad (2.51)$$

di mana,

$c$  = Kecepatan cahaya

$V_n$  = Kecepatan relatif cahaya searah jarum jam

$V_p$  = Kecepatan relatif cahaya berlawanan arah  
jarum jam

$Q$  = Kecepatan berotasi (merupakan input)

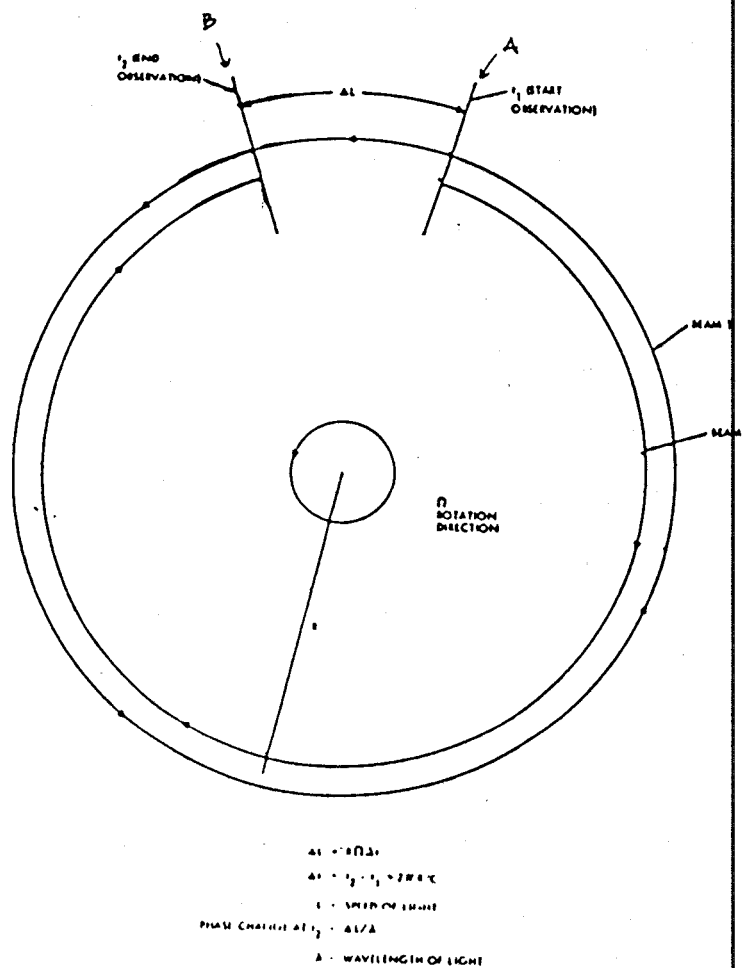
Maka perbedaan waktu perjalanan tersebut ( $\Delta t$ ), adalah

$$\begin{aligned} \Delta t &= t_n - t_p \\ &= \int \frac{ds}{c - r^2 Q \frac{d\phi}{ds}} - \int \frac{ds}{c + r^2 Q \frac{d\phi}{ds}} \\ &= \int \frac{2 r^2 Q d\phi}{c^2 - (r^2 Q \frac{d\phi}{ds})^2} \end{aligned}$$

Karena  $c^2 \gg (r^2 \Omega \frac{d\phi}{ds})^2$ , maka

$$\begin{aligned} \Delta t &= \int \frac{2 r^2 \Omega d\phi}{c^2} \\ &= \frac{4 \Omega A}{c^2} \end{aligned} \quad (2.52)$$

di mana  $A$  adalah luas area dari cavity yang terlingkupi.



GAMBAR 2.16 EFEK DARI ROTASI

Prinsip operasi dari Ring laser gyro seperti ditunjukkan pada gambar 2.16. Kedua sinar laser bergerak berlawanan dari titik A. Sinar 1 bergerak mengelilingi cavity tersebut dengan arah berlawanan dengan arah jarum jam pada kecepatan cahaya sampai mencapai titik asal, dimana karena rotasi, titik A telah berpindah sejauh  $\Delta L$  ke titik B. Lintasan sinar 1 akan lebih panjang bila cavity berotasi. Dan sebaliknya, sinar ke 2 bergerak se arah jarum jam mengelilingi cavity dan karena titik asal bergeser ke titik B, lintasan sinar ke 2 ini lebih pendek daripada lintasan sinar 1.

Dari persamaan (2.52) didapat,

$$\Delta L = \frac{4 Q A}{c} \quad (2.53)$$

Frekuensi dari laser oscillator tergantung pada panjang ruangan yang dilalui sinar, sebagai berikut :

$$\frac{\Delta f}{f} = - \frac{\Delta L}{L} \quad (2.54)$$

$$\Delta f = - \frac{f}{L} \left( \frac{4 Q A}{c} \right)$$

Karena  $\lambda = \frac{c}{f}$ , maka

$$\Delta f = - \frac{4 Q A}{\lambda L} \quad (2.55)$$

di mana,

$f$  = Frekuensi oscillator laser pada cavity

$\Delta f$  = Perbedaan frekuensi

$L$  = Jarak keliling dari lintasan lingkaran

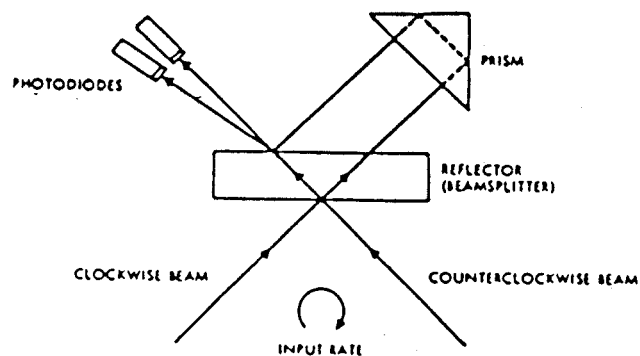
$Q$  = Kecepatan sudut rotasi

$\lambda$  = Panjang gelombang cahaya

Perbedaan frekuensi ( $\Delta f$ ) diantara dua sinar diukur dengan menggunakan peralatan optik (lihat gambar 2.17). Hal itu dikerjakan dengan memadukan kedua sinar tersebut sehingga front gelombang dari kedua sinar tersebut berinterferensi dengan yang lain dan membentuk "fringe pattern". Sebuah prisma digunakan untuk merefleksikan salah satu sinar tersebut sehingga menyilang dengan yang lain yang akan membentuk sudut kecil (wedge angle) pada arah yang sama. Efek dari wedge angle tersebut akan membangkitkan "fringe pattern" di luar zone. Pada saat kecepatan sudutnya nol, frekuensi dari kedua sinar laser tersebut sama, dan "fringe pattern" tersebut dalam keadaan stasioner. Jika ada perbedaan frekuensi maka "fringe pattern" tersebut akan bergerak dengan kecepatan dan arah yang sebanding terhadap perbedaan frekuensi.

Gerakan dari "fringe pattern" diukur oleh photodetector, yang outputnya sebanding terhadap kecepatan sudut dari ring laser gyro. Sinyal dari photodetector

tersebut digital sehingga tidak diperlukan proses lagi sebelum disalurkan ke komputer.



GAMBAR 2.17 PENGUKURAN PERBEDAAN FREKUENSI

42)

## BAB III

# SISTEM NAVIGASI INERSIAL

## STRAPDOWN

---

### 3.1 SISTEM NAVIGASI INERSIAL

Navigasi adalah proses untuk menentukan posisi suatu benda dan kecepatan relatif terhadap suatu kerangka koordinat yang dipakai sebagai referensi. Contoh navigasi yang sederhana adalah menentukan suatu posisi dan kecepatan sebuah kereta api sepanjang relnya yang menghubungkan dua titik di permukaan bumi ini. Dalam hal ini koordinat grid digunakan sebagai aplikasi dari garis lintang ( latitude ), garis bujur ( longitude ) dan ketinggian ( altitude ) pada koordinat bola.

Sistem Navigasi Inersial ( Inertial Navigation System - INS ) memerlukan sensor yang menggunakan gaya



inersial untuk mengerjakan fungsi-fungsi navigasi. INS menyelesaikan tugas tersebut dengan memproses data-data yang diperoleh dari pengukuran gaya dan kecepatan sudut secara inersial. Dengan menginisialisasi secara benar, INS ini dapat dipakai untuk menentukan posisi dan kecepatan pesawat tanpa memerlukan alat tambahan lain. Dengan demikian INS ini akan sangat menguntungkan bila dipakai untuk kepentingan militer.

Fungsi-fungsi yang dikerjakan oleh Sistem Navigasi Inersial adalah : <sup>43)</sup>

- menjadikan instrumen sebagai kerangka koordinat yang dipakai sebagai referensi;
- mengukur gaya inersial;
- memberikan informasi tentang medan gravitasi;
- Mengintegrasikan gaya inersial tersebut untuk memperoleh informasi tentang kecepatan dan posisi.

Pada INS, fungsi yang pertama dikerjakan dengan menggunakan peralatan giroskopik ( giro gimbal ). Fungsi yang kedua, yaitu pengukuran gaya inersial dengan menggunakan alat yang disebut accelerometer.

Integrasi pertama dari percepatan inersial akan menghasilkan informasi tentang kecepatan. Integrasi kedua akan menghasilkan informasi tentang posisi.

---

<sup>43)</sup> Kenneth R. Britting, Sc. D., Opcit, halaman 1

Pemrosesan data merupakan fungsi yang sangat penting pada sistem navigasi inersial dan hal ini dilakukan oleh komputer.

### 3.2 KLASIFIKASI SISTEM NAVIGASI INERSIAL

Sistem Navigasi Inersial dapat diklasifikasikan menjadi 3 kategori dasar, yaitu : Sistem Geometrik, Sistem Semianalit dan Sistem Analit. <sup>44)</sup>

Mekanisme sistem-sistem tersebut hampir sama, karena menggunakan sensor inersial untuk menghasilkan persamaan gerakannya, tetapi terdapat perbedaan yang penting pada cara memperoleh informasi-informasi navigasi.

Sistem Geometrik merupakan sistem praktis pertama dari Sistem Navigasi Inersial. Informasi navigasi diperoleh langsung secara analog dari gimbals. Dalam sistem geometrik diperlukan dua kerangka koordinat sebagai referensi yaitu : kerangka inersial yang tidak berotasi dan kerangka navigasi lokal. Dalam menyediakan besaran-besaran navigasi, seperti garis lintang ( latitude ), garis bujur ( longitude ), gerakan putar ( roll ), gerakan angguk ( pitch ) dan yaw dari pesawat paling sedikit dibutuhkan lima gimbals. Pada sistem ini tidak membutuhkan komputasi untuk mendapatkan besaran-besaran navigasi di atas.

---

<sup>44)</sup> Ibid, halaman 3

Sistem Semianalit hanya mempunyai satu kerangka koordinat sebagai referensi, yaitu salah satu saja dari kerangka inersial yang tidak berotasi atau kerangka navigasi lokal. Pada sistem ini paling sedikit dibutuhkan tiga gimbal untuk mengetahui kerangka koordinat dalam menghitung garis lintang dan garis bujur di komputer.

Sistem Analit secara fisik tidak mempunyai kerangka koordinat sebagai referensi, tetapi menggunakan output dari giro untuk menghitung secara analit orientasi diantara harga awal dari sistem dan keadaan sekarang. Mekanisme dari sistem ini biasa disebut Sistem Navigasi Inersial Strapdown ( Strapdown Inertial Navigation System ). Desain dari sistem strapdown ini merupakan permasalahan teknik yang penting karena komputer adalah alat yang sangat vital pada aplikasi dari sistem ini. Pada struktur sistem ini menghilangkan gimbal dan mengganti dengan Ring Laser Gyro yang mengakibatkan mengurangi ukuran, berat, konsumsi daya dan harga.

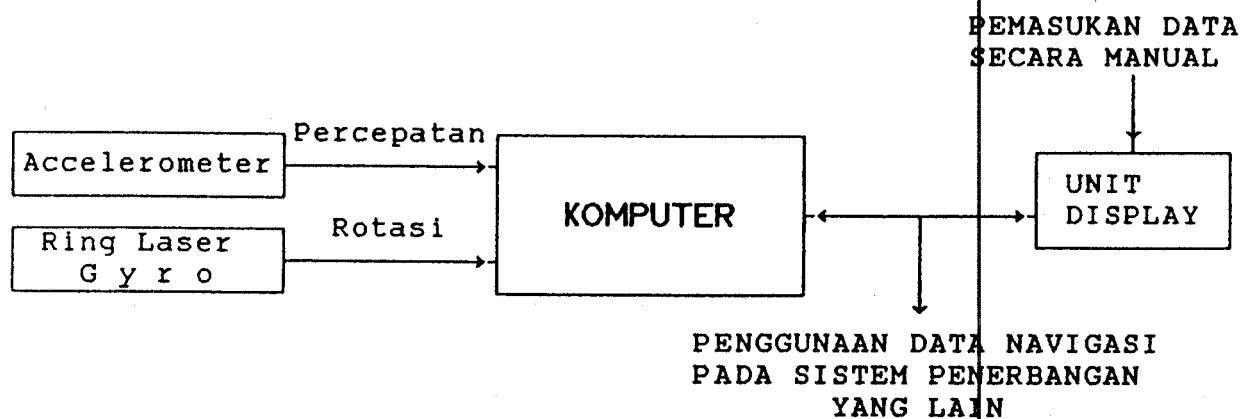
### 3.3 SISTEM NAVIGASI INERSIAL STRAPDOWN

Pada dekade ini, pengembangan teknologi LASER dalam permasalahan navigasi pada pesawat terbang telah mengalami kemajuan yang sangat pesat. Hal ini dengan diaplikasikannya Ring Laser Gyro ( RLG ). Maka desain Sistem Navigasi Inersial mengalami suatu perubahan, dengan

mengganti peralatan giroskopik yang ada, yaitu giro gimbal dengan Ring Laser Gyro ( RLG ). Dan fungsi yang pertama dari INS ( lihat sub bab 3.1 ), yaitu penentuan kerangka referensi dilakukan dengan perhitungan di komputer dengan memasukkan data-data perubahan sudut yang diukur oleh Ring Laser Gyro. Metode ini disebut Sistem Navigasi Inersial Strapdown ( Strapdown Inertial Navigation System ).

Fungsi yang kedua, yaitu pengukuran gaya inersial tetap dikerjakan oleh accelerometer. Fungsi yang ketiga dan keempat dilakukan oleh komputer. Dan dalam Sistem Navigasi Inersial Strapdown ini alat yang paling utama adalah komputer.

Maka Sistem Navigasi Inersial Strapdown mempunyai sistem kerja seperti pada block diagram seperti di bawah ini :



GAMBAR 3.1 BLOCK DIAGRAM SISTEM NAVIGASI INERSIAL STRAPDOWN

Alat-alat sensor yang berupa Accelerometer dan Ring Laser Gyro memberikan informasi berupa percepatan dan rotasi pesawat ke komputer untuk diproses guna menghasilkan informasi navigasi yang berupa kecepatan, jarak perpindahan, posisi, waktu tempuh, arah dan sebagainya. Informasi-informasi tersebut digambarkan pada suatu tampilan di pesawat dan juga dapat digunakan untuk berbagai keperluan lain dari sistem penerbangan.

### 3.4 MEKANISME SISTEM NAVIGASI INERSIAL STRAPDOWN

Untuk mendapatkan persamaan gerak dan persamaan posisi pada Sistem Navigasi Inersial Strapdown, maka perlu diperhatikan hal-hal sebagai berikut :

Pada Sistem Navigasi Inersial Strapdown sudah tidak menggunakan gimbal lagi dalam menginisialisasi suatu keadaan stabil dari bidang kerangka koordinat sistem, tetapi menghitung secara analitis di komputer. Hal ini berarti menghilangkan kesalahan ( error ) yang diakibatkan mekanisme sistem, sehingga dianggap sistem ini stabil.

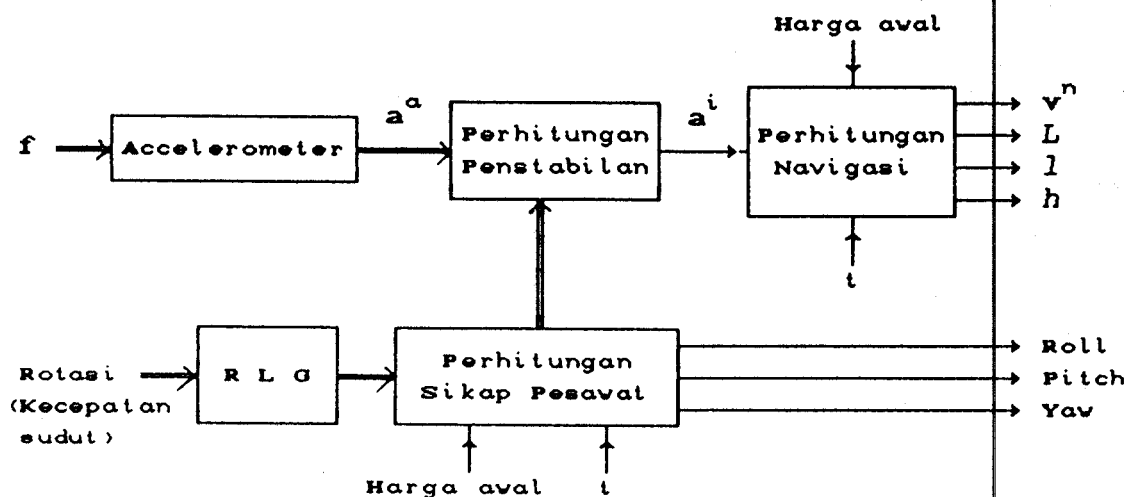
Pada Sistem Navigasi Inersial Strapdown ini yang dipakai sebagai kerangka referensi adalah kerangka koordinat inersial ( koordinat  $i$  ), yaitu suatu kerangka koordinat yang dianggap tidak berotasi ( kedudukannya relatif tetap ) yang berpusat pada pusat massa bumi, ( koordinat  $i$  hanya dipakai sebagai referensi dalam

perhitungan secara analitis di komputer ).

Bumi adalah sebuah benda langit yang bergerak terhadap kerangka koordinat inersial dengan kecepatan sudut  $\omega_{ie}$  dengan pusat sumbu pada sumbu kutub bumi ( $z_e$  atau  $z$ ) (lihat bab II.2.1. ). Bentuk permukaan bumi adalah elips dengan permukaannya dianggap rata, tidak terdapat benjolan benjolan. Dengan demikian, pada sistem ini tidak memerlukan alat tambahan untuk mengukur ketinggian.

Pada sistem ini, alat-alat sensornya diletakkan pada suatu kerangka koordinat yang titik pusatnya terletak pada pusat massa dari pesawat, sehingga kerangka accelerometer dianggap sama dengan kerangka giro dan juga dianggap sama dengan kerangka bodi.

Dari hal-hal di atas dapat digambarkan suatu gambaran sistem dalam block diagram di bawah ini,



GAMBAR 3.2 DIAGRAM SISTEM NAVIGASI INERSIAL STRAPDOWN

Persamaan dasar dalam menyelesaikan permasalahan Sistem Navigasi Inersial Strapdown ini adalah persamaan yang merupakan keluaran dari accelerometer seperti persamaan 2.13, yaitu :

$$f^a = C_i^a \ddot{r}^i - G^a$$

atau bisa ditulis,

$$a^a = C_i^a \ddot{r}^i - G^a$$

di mana,

$f^a = a^a$  = Gaya khusus ( percepatan ) yang diukur oleh accelerometer. ( dianggap  $= f^p = f^b$  )

$\ddot{r}^i$  = percepatan dengan memakai referensi kerangka inersial.

$G^a$  = Percepatan oleh medan gravitasi bumi.

Maka dari persamaan di atas didapatkan,

$$\ddot{r}^i = f^i + G^i$$

$$\dot{r}^i = \int \ddot{r}^i dt + \dot{r}^i(0) = \int (f^i + G^i) dt + \dot{r}^i(0)$$

$$r^i = \int \dot{r}^i dt + r^i(0)$$

di mana,

$$r^i = r \{ \cos L_c \cos \lambda, \cos L_c \sin \lambda, \sin L_c \}$$

Medan gravitasi  $G$  pada persamaan di atas didapat dari persamaan 2.37 dan 2.38, yaitu :

$$G^i = - \frac{\mu}{r^3} \begin{bmatrix} \left\{ 1 + \frac{3}{2} J_2 \left( \frac{r_\theta}{r} \right)^2 \left[ 1 - 5 \left( \frac{r_z}{r} \right)^2 \right] \right\} r_x \\ \left\{ 1 + \frac{3}{2} J_2 \left( \frac{r_\theta}{r} \right)^2 \left[ 1 - 5 \left( \frac{r_z}{r} \right)^2 \right] \right\} r_y \\ \left\{ 1 + \frac{3}{2} J_2 \left( \frac{r_\theta}{r} \right)^2 \left[ 3 - 5 \left( \frac{r_z}{r} \right)^2 \right] \right\} r_z \end{bmatrix}$$

Pada Sistem Navigasi Inersial Strapdown ini juga dibutuhkan informasi tentang kecepatan pesawat (sistem navigasi) terhadap bumi, yang didefinisikan sebagai berikut

$$\mathbf{v}^\theta \triangleq \dot{\mathbf{r}}^\theta$$

Kecepatan tersebut bila ditransformasikan ke kerangka koordinat geografis  $n$

$$\mathbf{v}^n = \{ v_N, v_E, v_D \} = \mathbf{C}_\theta^n \dot{\mathbf{r}}^\theta$$

bila

$$\mathbf{r}^\theta = \mathbf{C}_i^\theta \mathbf{r}^i$$

maka turunan matriks kolom  $\mathbf{r}^\theta$  (sesuai persamaan 2.6) adalah

$$\dot{\mathbf{r}}^\theta = \mathbf{C}_i^\theta ( \dot{\mathbf{r}}^i - \boldsymbol{\Omega}_{i\theta}^i \mathbf{r}^i )$$

sehingga kecepatan pada kerangka geografis,

$$\mathbf{v}^n = \mathbf{C}_i^n ( \dot{\mathbf{r}}^i - \boldsymbol{\Omega}_{i\theta}^i \mathbf{r}^i )$$

dengan,



$$\Omega_{i_e}^i = \begin{bmatrix} 0 & \omega_{i_e} & 0 \\ \omega_{i_e} & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$

$$C_i^n = \begin{bmatrix} -\sin L \cos \lambda & -\sin L \sin \lambda & \cos L \\ -\sin \lambda & \cos \lambda & 0 \\ -\cos L \cos \lambda & -\cos L \sin \lambda & -\sin L \end{bmatrix}$$

Untuk mengetahui ketinggian dari pesawat, dengan mengambil persamaan 2.22 yaitu

$$r = r_o + h$$

dengan,

$$r = \left[ r_x^2 + r_y^2 + r_z^2 \right]^{1/2}$$

$$r_o = r_e \left( 1 - \frac{e}{2}(1 - \cos 2L) + \frac{5}{16} e^2 (1 - \cos 4L) - \dots \right)$$

$$e = \frac{r_e - r_p}{r_e}$$

Untuk mengetahui garis bujur ( longitude ),  $L$  dan garis lintang ( latitude ),  $l$  dari pesawat dapat dilihat pada gambar 2.2.

Garis bujur pesawat yang dihitung di komputer bisa didekati dengan persamaan berikut,

$$L = \sin^{-1} \frac{r_z}{r} + D$$

di mana,

$$D = \text{deviasi normal} = e \sin 2L$$

maka

$$L = \sin^{-1} \frac{r_z}{r} + e \sin 2L$$

sedangkan garis bujur yang dihitung adalah sebagai berikut,

$$l = l_o + \lambda - \omega_{ie} t$$

di mana,

$l_o$  = harga awal garis bujur pada permukaan bumi.

$\lambda$  = garis bujur pada kerangka inersial

$$= \sin^{-1} \left[ \frac{r_y}{(r_x^2 + r_y^2)^{1/2}} \right]$$

$\omega_{ie}$  = kecepatan sudut bumi terhadap kerangka inersial

$t$  = waktu

maka,

$$l = l_o + \sin^{-1} \left[ \frac{r_y}{(r_x^2 + r_y^2)^{1/2}} \right] - \omega_{ie} t$$

Dalam melakukan perhitungan penstabilan diperlukan dahulu data yang diperoleh dari perhitungan sikap pesawat. Adapun dalam melakukan perhitungan sikap pesawat dengan mengambil data masukan dari output Ring Laser Gyro yang berupa perubahan sudut dalam satuan waktu ( kecepatan sudut ) atau  $\omega_b$ .

Kemudian  $\omega_b$  diintegrasikan akan menghasilkan suatu besaran yang merupakan sikap ( attitude ) dari pesawat. Hal ini

sesuai dengan persamaan sebagai berikut,

$$\theta^b = \int \omega_b dt + \theta^b(0)$$

di mana,

$$\theta^b = \{ \theta_R, \theta_P, \theta_Y \}$$

$$\omega_b = \{ \omega_R, \omega_P, \omega_Y \}$$

Adapun sikap pesawat yang berupa  $\theta_R, \theta_P, \theta_Y$  tersebut digunakan sebagai besaran untuk mentransformasikan percepatan dalam kerangka accelerometer ( $a^a$ ) yang merupakan output dari accelerometer menjadi percepatan dalam kerangka inersial. Hal ini sesuai dengan persamaan seperti berikut,

$$a^i = C_a^i a^a$$

atau,

$$a^i = C_n^i C_a^n a^a$$

di mana,

$$C_n^i = \begin{bmatrix} -\sin L \cos \lambda & -\sin \lambda & -\cos L \cos \lambda \\ -\sin L \sin \lambda & \cos \lambda & -\cos L \sin \lambda \\ \cos L & 0 & -\sin L \end{bmatrix}$$

Untuk mencari harga  $C_a^n$ , dicari dahulu harganya yang dipengaruhi oleh salah satu besaran sikap pesawat, sedangkan yang lainnya dianggap nol.

$$C_a^n \Big|_{\theta_P=0, \theta_Y=0} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \cos \theta_R & -\sin \theta_R \\ 0 & \sin \theta_R & \cos \theta_R \end{bmatrix}$$

$$C_a^n \Big|_{\theta_R=0, \theta_Y=0} = \begin{bmatrix} \cos \theta_P & 0 & \sin \theta_P \\ 0 & 1 & 0 \\ -\sin \theta_P & 0 & \cos \theta_P \end{bmatrix}$$

$$C_a^n \Big|_{\theta_R=0, \theta_P=0} = \begin{bmatrix} \cos \theta_Y & -\sin \theta_Y & 0 \\ \sin \theta_Y & \cos \theta_Y & 0 \\ 0 & 0 & 1 \end{bmatrix}$$

Dari Teorema Euler didapat persamaan sebagai berikut :

45)

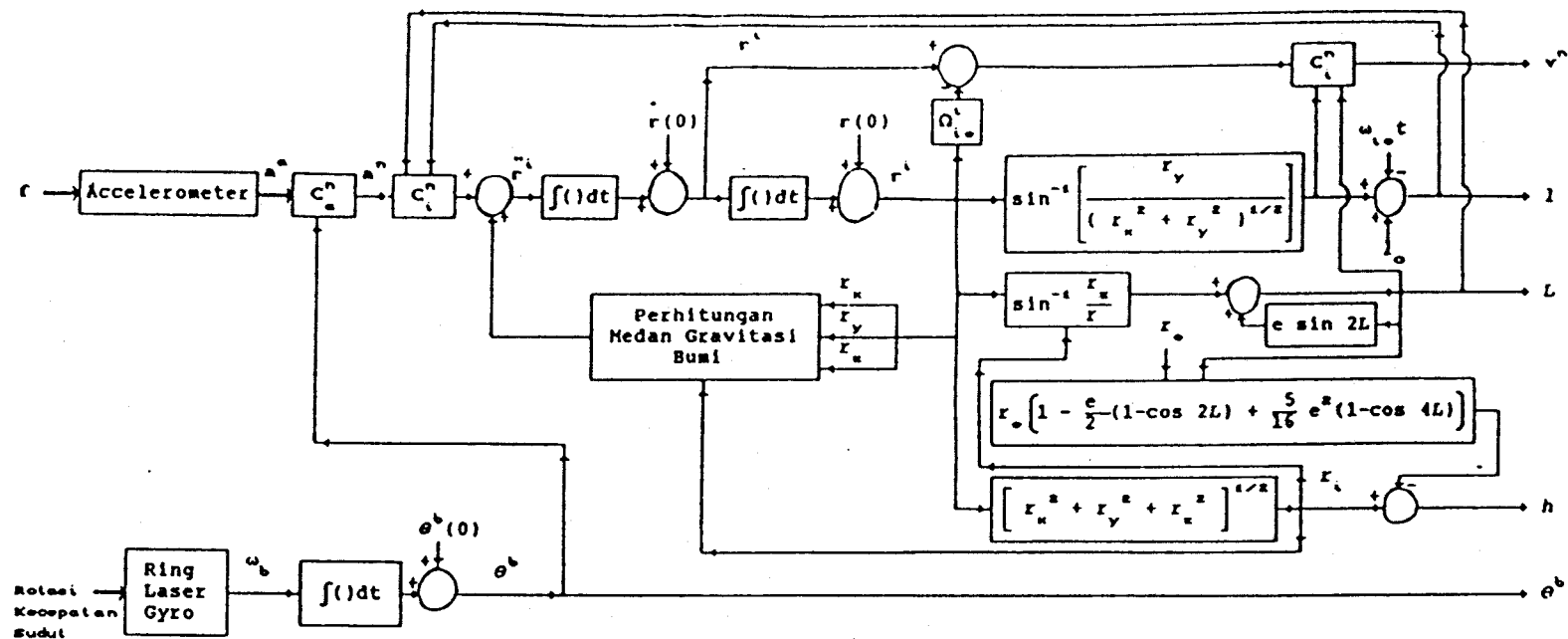
$$C_a^n = C_a^n(\theta_Y) C_a^n(\theta_P) C_a^n(\theta_R)$$

$$C_a^n = \begin{bmatrix} \cos \theta_P \cos \theta_Y & \sin \theta_R \sin \theta_P \cos \theta_Y & \cos \theta_R \sin \theta_P \cos \theta_Y \\ & -\cos \theta_R \sin \theta_Y & +\sin \theta_R \sin \theta_Y \\ \cos \theta_P \sin \theta_Y & \sin \theta_R \sin \theta_P \sin \theta_Y & \cos \theta_R \sin \theta_P \sin \theta_Y \\ & +\cos \theta_R \cos \theta_Y & -\sin \theta_R \cos \theta_Y \\ -\sin \theta_P & \sin \theta_R \cos \theta_P & \cos \theta_R \cos \theta_P \end{bmatrix}$$

Dari hal-hal tersebut di atas dapat digambarkan diagram mekanisme dari Sistem Navigasi Inersial Strapdown, sebagai berikut :

---

45) Jan Roskam, Airplane Flight Dynamics And Automatics Flight Controls, Kansas, 1979, halaman 27



GAMBAR 3.3

DIAGRAM MEKANISME SISTEM NAVIGASI INERSIAL STRAPDOWN

## B A B I V

### PERENCANAAN SISTEM

---

Dalam merencanakan sistem yang akan dibuat, ditinjau dahulu permasalahan-permasalahan yang timbul serta batasan-batasan yang diambil dalam membuat Simulator Sistem Navigasi Inersial Strapdown ini.

Adapun tujuan ( relevansi ) yang terpenting dari pembuatan Simulator ini adalah :

- Membuat suatu simulasi sistem yang bisa dipakai pada keadaan sistem yang sebenarnya di pesawat terbang.
- Di samping itu simulator ini diharapkan juga bisa dipakai sebagai alat untuk mengecek secara sederhana berfungsi atau tidaknya alat-alat sensornya.

Adapun untuk membuat simulator ini perlu diketahui tentang bentuk keluaran dari sensor Sistem Navigasi Inersial Strapdown tersebut. Data yang merupakan keluaran dari Accelerometer berbentuk arus DC ( analog ). Sedangkan

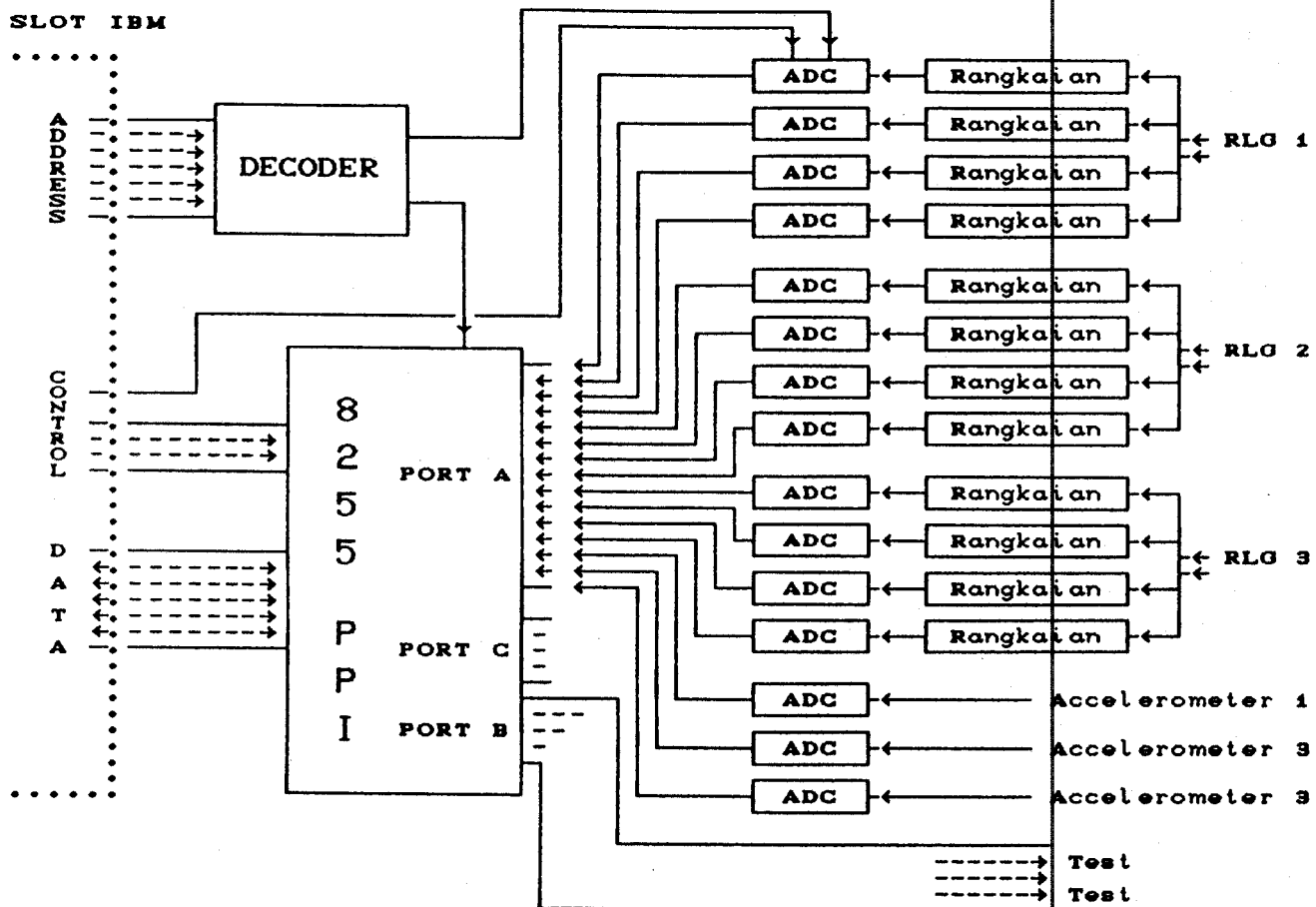
pada Ring Laser Gyro, data keluarannya terbagi menjadi dua, yaitu : dalam bentuk Synchro ( analog ) serta dalam bentuk Data Serial ( digital ).

Sedangkan IBM PC-XT sebagai alat yang digunakan untuk membuat simulasi ini masukannya berupa digital, yaitu data serial maupun data paralel. Oleh karena itu harus ada interface yang merubah keluaran-keluaran dari alat-alat sensor INS tersebut.

Dengan mengetahui permasalahan di atas, maka Simulator Sistem Navigasi Inersial Strapdown ini dibuat dengan mengambil asumsi-asumsi sebagai berikut :

- Terdapat 3 Ring Laser Gyro yang mempunyai keluaran berupa arus Synchro dengan tegangan referensi 26 Volt AC ;
- Terdapat 3 Accelerometer yang mempunyai keluaran berupa arus DC ;
- Dengan membuat interface yang menghasilkan masukan data paralel pada komputer ;
- Karena data-data yang diambil merupakan data tiap-tiap waktu simulasi, maka konversi data dari keluaran Ring Laser Gyro dan Accelerometer harus dalam waktu yang bersamaan, sehingga diperlukan ADC untuk tiap-tiap keluaran dari sensor INS.

Dari block diagram Sistem Navigasi Inersial Strapdown terdahulu, maka sekarang dapat digambarkan secara jelas rangkaian dari sistem ialah sebagai berikut :



GAMBAR 4.1

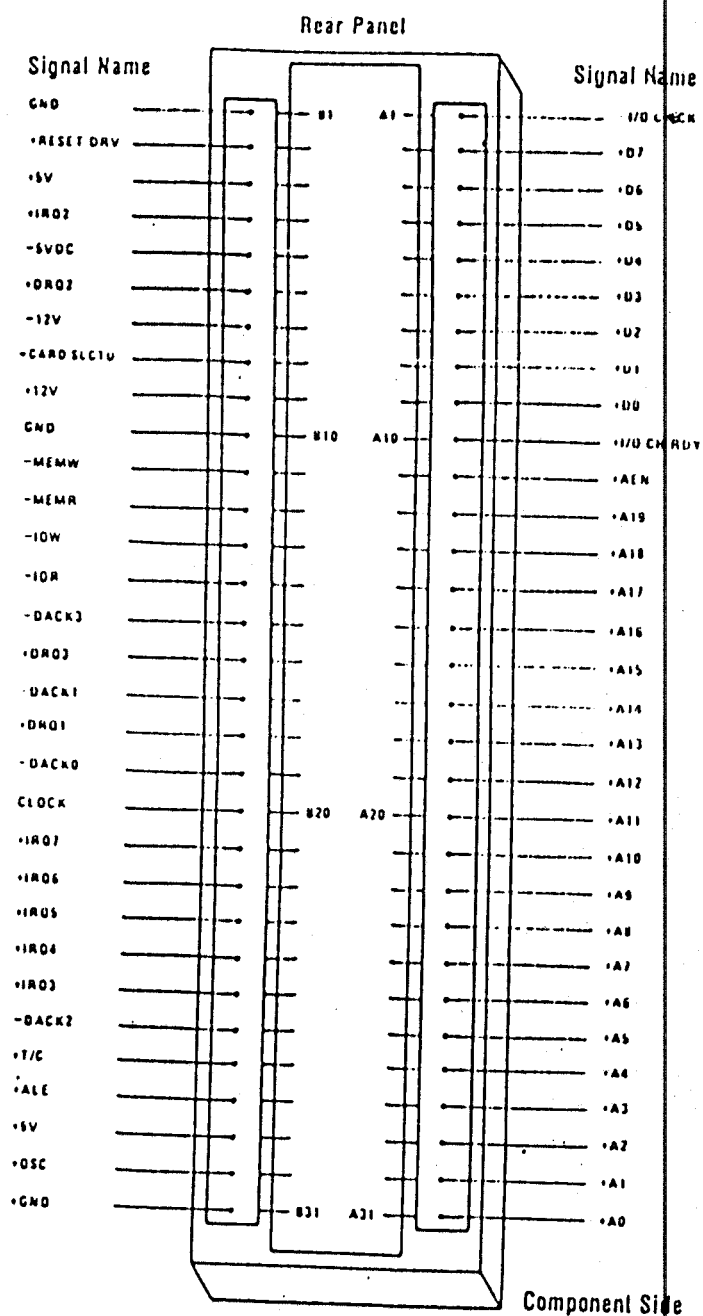
## DIAGRAM RANGKAIAN SISTEM NAVIGASI INERSIAL STRAPDOWN

## 4.1 SLOT IBM PC-XT

Sistem board pada IBM PC-XT mempunyai 8 buah slot (I/O Channel) yang sama, merupakan konektor 62 pin yang konfigurasinya dapat dilihat pada gambar 4.2. Slot-slot IBM PC-XT ini dapat mengakses memori dan I/O map yang sama. Dalam merencanakan interface ini, tidak semua pin yang ada pada slot IBM PC-XT ini digunakan, oleh karena itu yang dibahas disini hanya beberapa saja yang akan



digunakan pada pembuatan interface.



GAMBAR 4.2 KONFIGURASI SLOT IBM PC-XT

40 Technical Reference For PC/XT System, hal 1-16.

Jalur-jalur yang digunakan pada pembuatan interface dari Simulator Sistem Navigasi Inersial Strapdown, sesuai dengan gambar di atas adalah :

- A0 - A19 ( Address Bit 0 - 19 )

Jalur-jalur ini digunakan memberi alamat (mengakses) memori dan peralatan I/O dari sistem. Kedua puluh jalur alamat ini dapat mengakses sampai 1 Megabyte dari memori. A0 merupakan Least Significant Bit (LSB) sedangkan A19 merupakan Most Significant Bit (MSB). Jalur-jalur ini dapat dihasilkan oleh prosesor 8088 atau DMA controller.

- D0 - D7 ( I/O Data Bit 0 - 7 )

Jalur-jalur ini digunakan sebagai jalur data oleh prosesor, memori atau peralatan I/O. D0 merupakan Least Significant Bit (LSB) sedangkan D7 merupakan Most Significant Bit (MSB).

- RESET DRV

Jalur ini digunakan untuk mereset atau menginisialisasi logika dari sistem selama power up atau selama tegangan turun di luar batas.

- ALE ( Address Latch Enable )

Jalur ini digunakan untuk menahan ("mengelatch") alamat-alamat yang sah (valid) dari prosesor. ALE dihasilkan oleh 8288 bus controller. Dapat digunakan sebagai indikator bahwa alamat dari prosesor tersebut valid.

-  $\overline{\text{IOR}}$  ( I/O Read Command )

Jalur ini digunakan untuk memerintahkan suatu peralatan I/O agar meletakkan datanya pada data bus. Jalur ini dapat dikendalikan oleh prosesor 8088 atau DMA controller.

-  $\overline{\text{IOW}}$  ( I/O Write Command )

Jalur ini digunakan untuk memerintahkan suatu peralatan I/O agar membaca data yang berada pada data bus.

- AEN ( Address Enable )

Jalur ini digunakan untuk me-nonaktifkan prosesor dan peralatan yang lain dari I/O channel dan menggantikan dengan DMA controller. Bila jalur ini aktif (high), maka DMA controller telah mengambil alih atas address bus, data bus, perintah pembacaan (memori dan I/O), serta perintah penulisan (memori dan I/O).

Sedangkan tegangan-tegangan referensi yang terdapat pada slot IBM PC-XT adalah :

- + 5 Vdc  $\pm$  5 % terdapat pada 2 pin konektor.
- 5 Vdc  $\pm$  10 % terdapat pada 1 pin konektor.
- + 12 Vdc  $\pm$  5 % terdapat pada 1 pin konektor.
- 12 Vdc  $\pm$  10 % terdapat pada 1 pin konektor.
- GND ( Ground ) terdapat pada 3 pin konektor.

## 4.2 RANGKAIAN DEKODER

Untuk dapat memilih salah satu atau beberapa peralatan yang akan bekerja dalam rangkaian interface ini pada suatu keadaan tertentu, maka perlu dibuat rangkaian dekoder, dengan data masukan dari jalur alamat yang ada pada komputer. Pada slot IBM PC-XT mempunyai 20 jalur alamat yaitu dari A0 - A19, tetapi biasanya yang dipakai hanya jalur alamat dari A0 - A9, yang berarti dapat mengakses sejumlah  $2^{10}$  port I/O. Ada beberapa yang sudah terpakai oleh sistem IBM sendiri ( lihat tabel 4.1 ) dan ada beberapa yang masih kosong yang dapat dipakai oleh pemakai untuk keperluan yang lain.

TABEL 4.1 PEMETAAN ALAMAT I/O PADA IBM PC <sup>47)</sup>

Hex Range	9	8	7	6	5	4	3	2	1	0	Peralatan
00 - 0F	0	0	0	0	0	x	A3	A2	A1	A0	DMA Chip 8327-2
20 - 21	0	0	0	0	1	x	x	x	x	A0	Interrupt 8259A
40 - 43	0	0	0	1	0	x	x	x	A1	A0	Timer 8253-5
60 - 63	0	0	0	1	1	x	x	x	A1	A0	PPI 8255A-5
80 - 83	0	0	1	0	0	x	x	x	A1	A0	DMA Page Regs
AX	0	0	1	0	1						NMI Mask Reg
CX	0	0	1	1	0						Reserved
EX	0	0	1	1	1						Reserved
3F8 - 3FF	1	1	1	1	1	1	1	A2	A1	A0	TP RS. 232-C CD
3F0 - 3F7	1	1	1	1	1	1	0	A2	A1	A0	5 1/4 " Drv Adaptor
2F8 - 2FF	1	0	1	1	1	1	1	A2	A1	A0	Reserved
378 - 37F	1	1	0	1	1	1	1	x	A1	A0	Parallel Prtr Prt
3D0 - 3DF	1	1	1	1	0	1	A3	A2	A1	A0	Color/Graphic Adapter
278 - 27F	1	0	0	1	1	1	1	x	A1	A0	Reserved
200 - 20F	1	0	0	0	0	0	A3	A2	A1	A0	Game I/O Adapter
3B0 - 3BF	1	1	1	0	1	1	A3	A2	A1	A0	IBM Monochrome Display Parallel Printer Adapter

x = don't care , tidak dikodekan

<sup>47)</sup> James W. Coffron, The IBM PC Connection, halaman 25

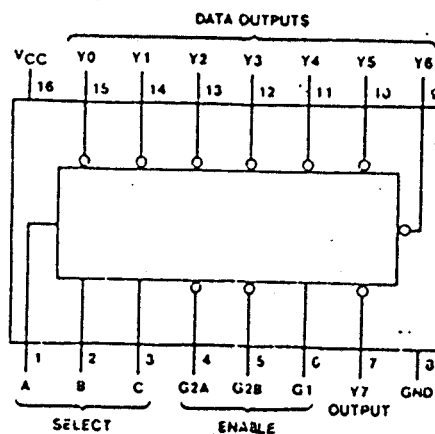
Masalah-masalah yang perlu diperhatikan dalam pembuatan rangkaian dekoder ini adalah :

- <1> Awal konversi dari kelima belas ADC adalah bersamaan, sehingga dibutuhkan pembangkitan sinyal untuk  $\overline{CS}$  yang bersamaan dengan  $\overline{WR}$  (awal konversi) pada ADC.
- <2> Dibutuhkan sinyal-sinyal yang dapat memilih dalam pengambilan data dari ADC.
- <3> Dibutuhkan sinyal yang dapat mengakses PPI 8255.

Adapun peralatan-peralatan utama yang dibutuhkan dalam pembuatan rangkaian dekoder, sebagai berikut :

#### 4.2.1 74LS138

Adalah suatu MSI 16 pin yang mempunyai fungsi sebagai Decoders/Demultiplexers. Terdiri dari 3 masukan dengan Enable untuk menghasilkan pilihan pada 8 keluaran. Adapun diagram dan tabel kebenaran dari LS 138, adalah sebagai berikut :



GAMBAR 4.3 DIAGRAM LS 138 48)

48) National Semiconductor, Data Book Linier

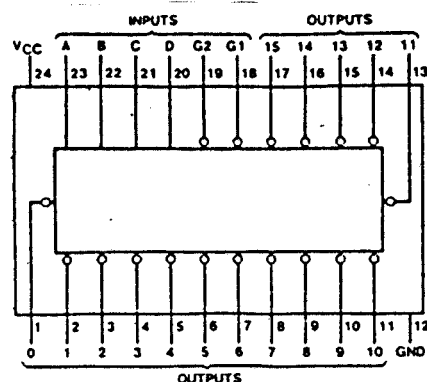
TABEL 4.2 TABEL KEBENARAN LS 138

I n p u t				O u t p u t								
Enable		Select										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
x	H	x	x	x	H	H	H	H	H	H	H	H
L	x	x	x	x	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H

$G2^* = G2A + G2B$ , H=High level, L=Low level, x=don't care

#### 4.2.2 74LS154

Suatu MSI 24 pin yang mempunyai fungsi sebagai " 4-Line to 16-Line Decoders / Demultiplexers ". Terdiri dari 4 masukan dengan Enable untuk menghasilkan pilihan pada 16 keluaran. Diagram dan tabel kebenaran LS 154, adalah sebagai berikut :



GAMBAR 4.4 DIAGRAM LS 154

TABEL 4.3 TABEL KEBENARAN LS 154

I n p u t						O u t p u t															
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	x	x	x	x	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	x	x	x	x	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	x	x	x	x	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = High level, L = Low level, x = don't care

#### 4.2.3 RANGKAIAN LENGKAP DEKODER

Pada gambar 4.5 di bawah ini adalah rangkaian dekoder dengan pembagian alamat-alamat sebagai berikut,  
Untuk mengakses 8255

```

      0 0
1 1 1 0 1 0 1 1 1 1  → Y6 low
      1 0
1 1 1 1 1 0 1 1 1 1  → Y7 low

```

di mana,

1 1 1 0 0 0 1 1 1 1 = 911 = & 38F

1 1 1 0 1 0 1 1 1 1 = 943 = & 3AF

1 1 1 1 0 0 1 1 1 1 = 975 = & 3CF

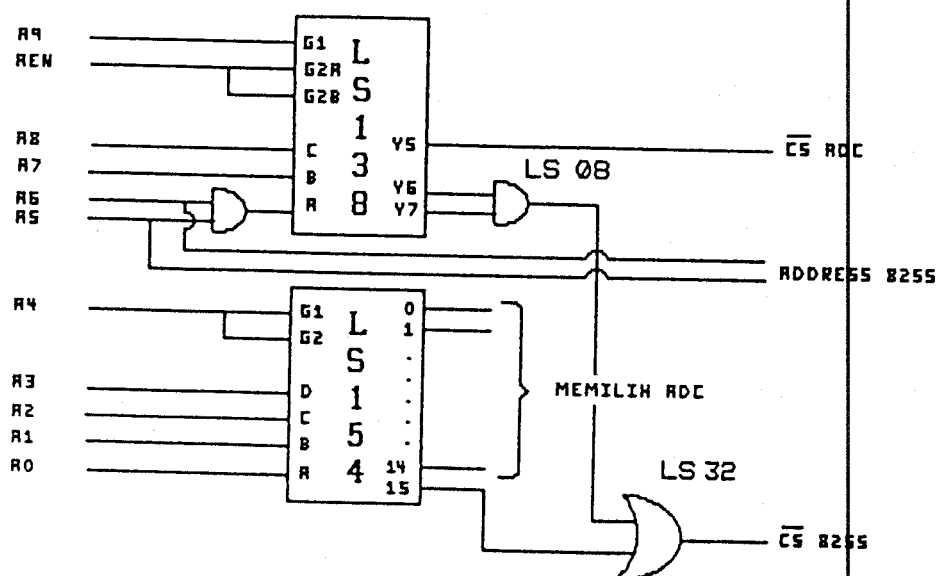
1 1 1 1 1 0 1 1 1 1 = 1007 = & 3EF

Untuk mengakses ADC 0804

1 1 0 1 1 0 x x x x → Y5 low

di mana,

1 1 0 1 1 0 x x x x = 864 - 879 = & 360 - & 36F

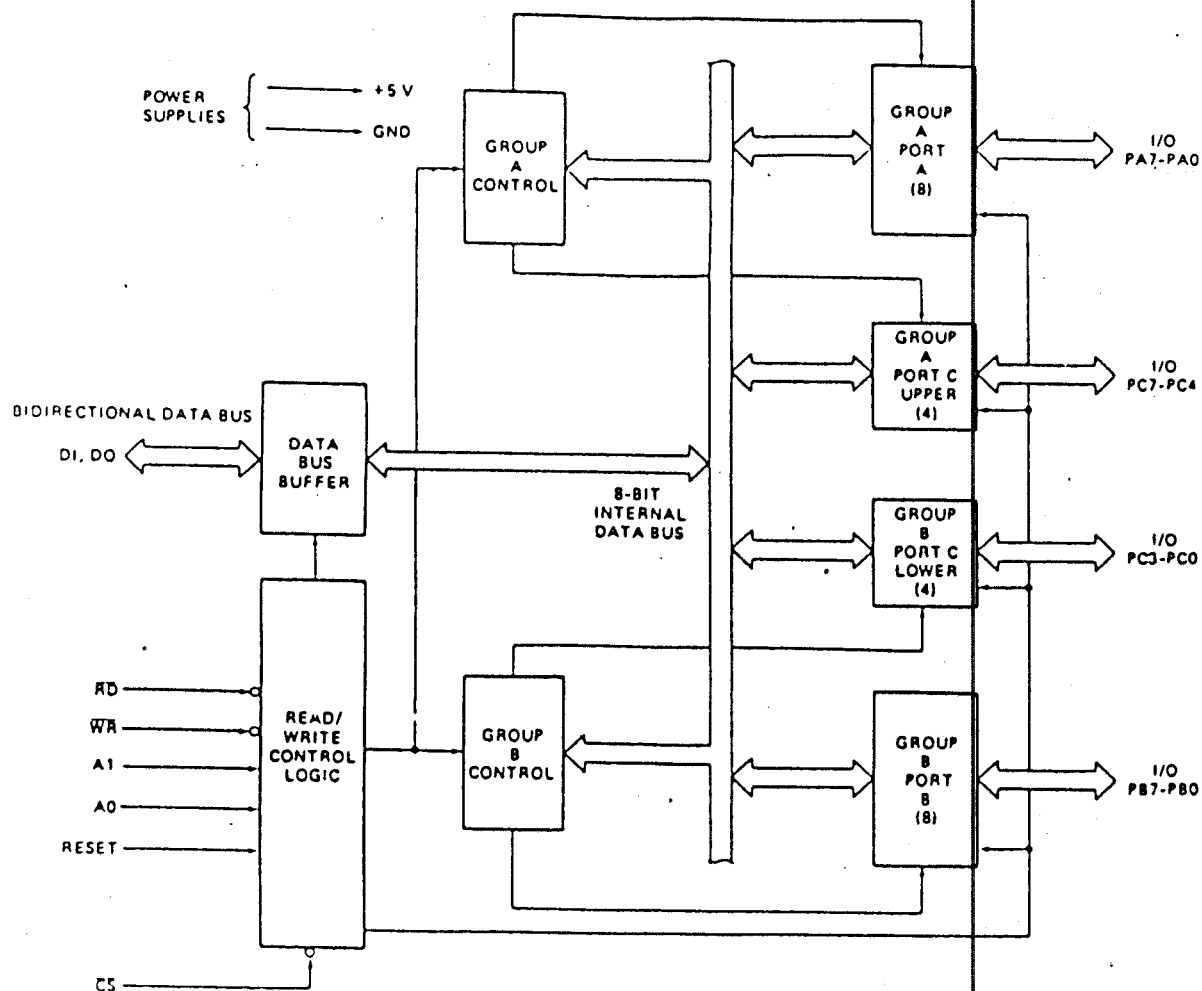


GAMBAR 4.5 RANGKAIAN DEKODER

#### 4.3 8255 PPI

8255 PPI ( Programmable Peripheral Interface ) adalah suatu peralatan periferan antarmuka yang dapat diatur dengan menggunakan perangkat lunak. 8255 PPI ini berupa IC 40 pin. Gambar 4.6 di bawah ini menggambarkan Internal block diagram dari 8255 PPI.





GAMBAR 4.6 INTERNAL BLOCK DIAGRAM 8255 PPI 50)

Di sebelah kanan diagram di atas dapat dilihat jalur input/output sebanyak 24 jalur. Port A dapat digunakan sebagai 8 bit untuk input/output, demikian juga port B. Sedangkan port C dapat digunakan sebagai 8 bit input / output atau 2 port 4 bit ataupun juga sebagai jalur yang

50) Douglas V. Hall, Microprocessor And Interfacing Programming and Hardware, Mc Grav Hill, 1986, halaman 263

memproduksi sinyal handshaking untuk port A dan port B.

Sedangkan di sebelah kiri diagram terdapat jalur yang dihubungkan dengan sistem data bus. Jalur ini digunakan untuk menulis data ke port atau control register dan untuk membaca data byte dari port atau status register di bawah kontrol dari jalur  $\overline{RD}$  dan  $\overline{WR}$ . Input address, A0 dan A1, digunakan untuk memilih akses salah satu dari 3 port atau control register. Internal address dari 8255 adalah : Port A : 00, Port B : 01, Port C : 10, Control : 11. Pembangkitan input  $\overline{CS}$  (Chip Select) pada 8255 ini digunakan untuk membolehkan melakukan fungsi pembacaan atau penulisan. Jalur  $\overline{CS}$  ini dihubungkan dengan output dari rangkaian address decoder. Input RESET dari 8255 ini dihubungkan dengan jalur RESET dari sistem, maka bila sistem direset semua jalur pada port diinisialisasi sebagai input. Hal ini dilakukan untuk mencegah kerusakan dari rangkaian yang dihubungkan ke jalur port. Jika port diinisialisasi sebagai output setelah power-up atau reset, port mencoba untuk memberikan output ke output dari peralatan yang berhubungan dengan port tersebut. Maka di antara kedua output itu akan saling merusak salah satunya. Tabel 4.4 di bawah ini merupakan pengoperasian dasar dari 8255 PPI,

TABEL 4.4 OPERASI DASAR 8255

A1	A0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
					OPERASI INPUT (READ)
0	0	0	1	0	Port A → Data Bus
0	1	0	1	0	Port B → Data Bus
1	0	0	1	0	Port C → Data Bus
					OPERASI OUTPUT (WRITE)
0	0	1	0	0	Data Bus → Port A
0	1	1	0	0	Data Bus → Port B
1	0	1	0	0	Data Bus → Port C
1	1	1	0	0	Data Bus → Control
					FUNGSI LAIN
x	x	x	x	1	Data Bus → 3 State
1	1	0	1	0	Keadaan Yang Tidak Diijinkan
x	x	1	1	0	Data Bus → 3 State

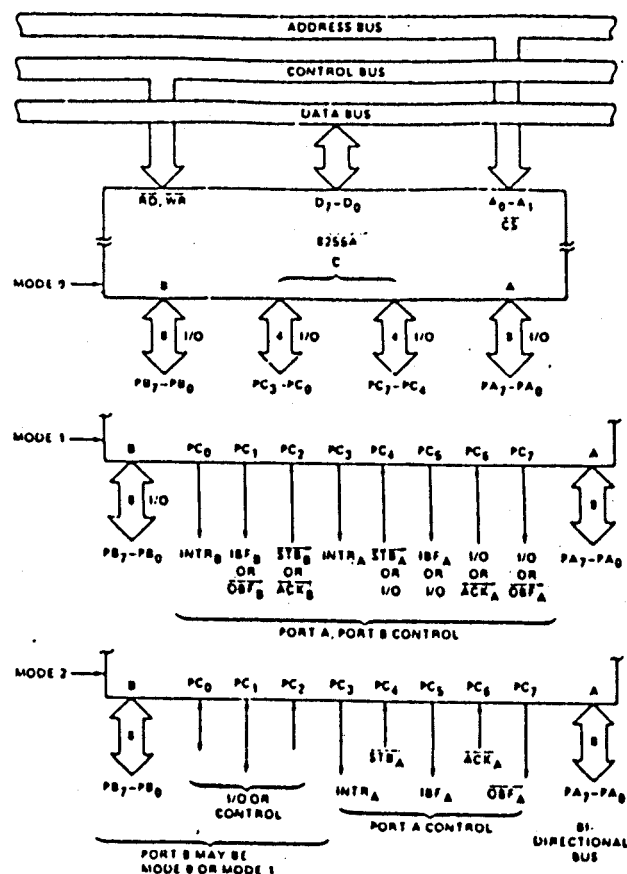
Terdapat tiga mode dalam tata cara pengiriman data pada saat inisialisasi dari tiap-tiap port dari 8255. Adapun mode-mode tersebut adalah sebagai berikut :

MODE 0 : Bila menggunakan port-port 8255 untuk simple input atau simple output tanpa menggunakan handshaking.

MODE 1 : Bila menggunakan port A dan port B untuk digunakan pada pengiriman data dengan handshaking. Port A dan port B hanya dapat dipakai satu arah saja. Sedangkan port C digunakan sebagai jalur handshakingnya.

MODE 2 : Hanya port A yang dapat digunakan pada mode 2 ini. Mode ini digunakan untuk pengiriman data dengan handshaking dan port A dapat digunakan dua arah yaitu sebagai input atau output.

Hal ini seperti terlihat pada gambar 4.7 di bawah ini

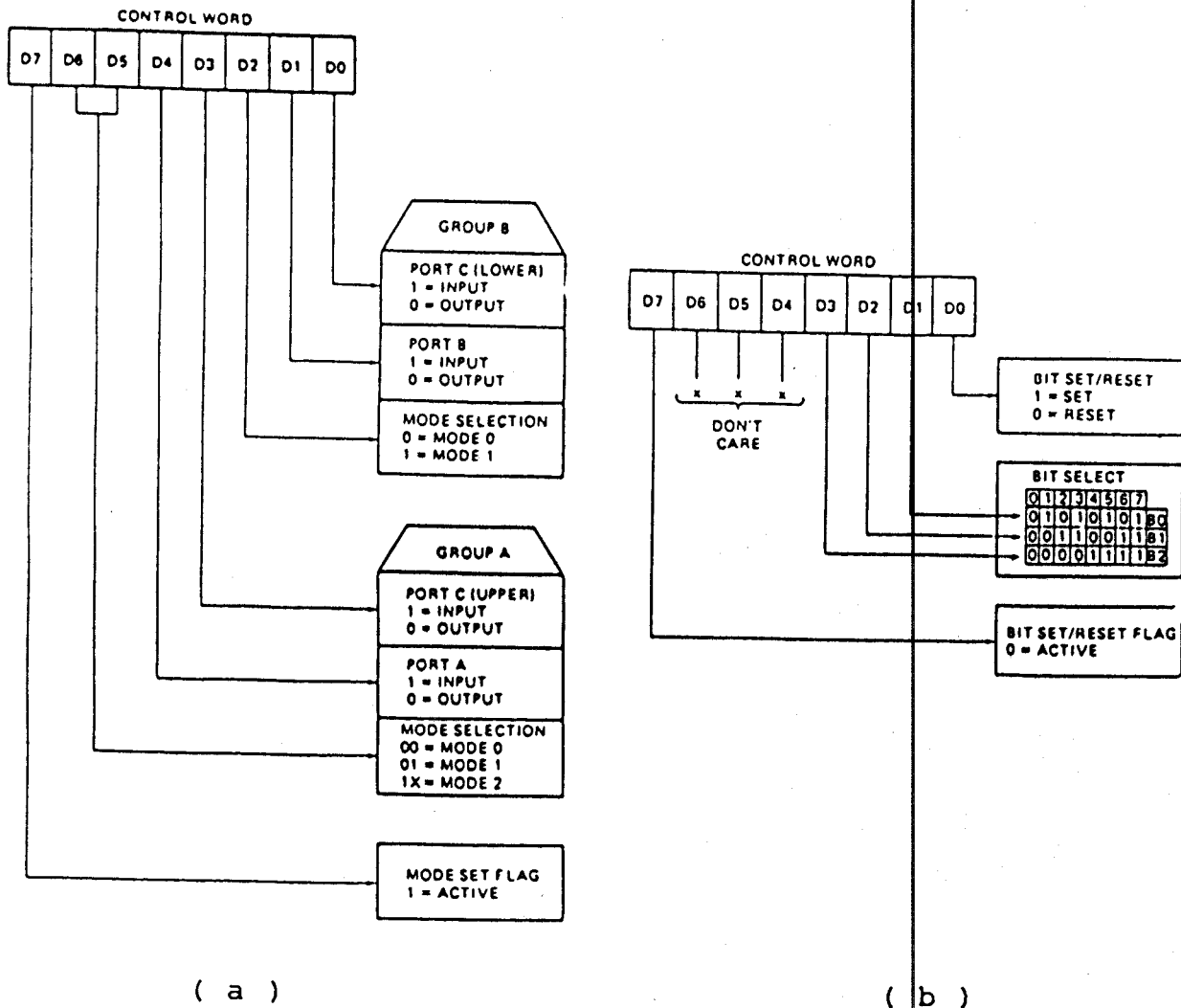


GAMBAR 4.7 MODE-MODE PENGOPERASIAN 8255 51)

Adapun control word yang digunakan untuk mengatur pengoperasian dari 8255 seperti terlihat pada gambar 4.8 di bawah ini. Untuk memilih control word yang dikirim, tergantung dari MSB control word tersebut. Bentuk mode definition control word seperti gambar 4.8-a dipakai untuk menginisialisasi tiap-tiap port dari 8255 yang

51) Ibid, halaman 264

akan dioperasikan. Sedangkan bentuk bit set/reset control word seperti gambar 4.8-b dipakai untuk menge-set atau me-reset output dari salah satu pin pada port C ataupun untuk membangkitkan output sinyal interrupt pada transfer data dengan handshaking.



GAMBAR 4.8 BENTUK CONTROL WORD 8255

a) MODE SET CONTROL WORD

b) PORT C BIT SET/RESET CONTROL WORD

#### 4.4 ANALOG to DIGITAL CONVERTER ( ADC )

Karena keluaran dari Accelerometer dan Ring Laser Gyro ( RLG ) adalah analog, sedangkan masukan dari komputer adalah digital, maka diperlukan suatu peralatan yang dapat mengkonversikan dari besaran analog tersebut ke besaran digital yang disebut Analog to Digital Converter ( ADC ).

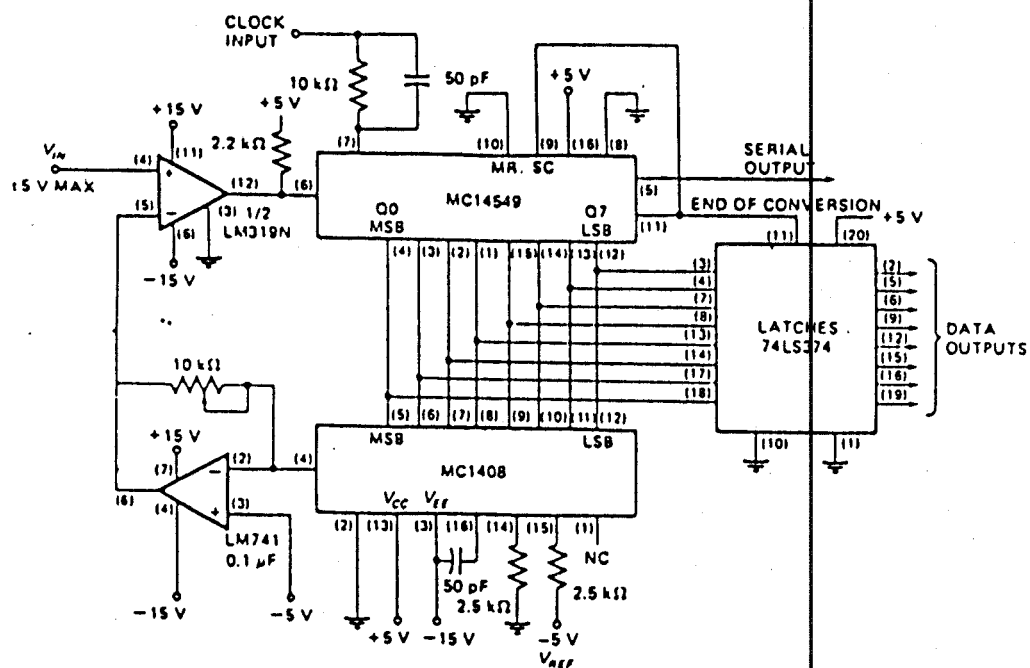
Adapun syarat yang terpenting dari ADC adalah frekuensi perubahan besaran analog pada masukannya tidak boleh lebih cepat dari waktu konversi ADC.

Fungsi yang utama dari ADC adalah memproduksi besaran digital yang menggambarkan besaran analog dari tegangan atau arus. Resolusi dari ADC ini ditunjukkan dari jumlah bit pada keluaran yang berupa kode biner. Spesifikasi yang terpenting dari ADC adalah waktu konversi, yaitu waktu yang dibutuhkan oleh konverter untuk memproduksi keluaran yang sah berupa kode biner dari masukan berupa tegangan atau arus. Bila konverter mempunyai kecepatan tinggi berarti mempunyai waktu konversi yang pendek.

Ada beberapa tipe dari Analog to Digital Converter, tapi hanya tipe Successive Approximation A/D Converter yang dibahas disini.

#### 4.4.1 SUCCESSIVE APPROXIMATION A/D CONVERTER

Successive Approximation A/D Converter adalah suatu tipe ADC yang menggunakan Successive Approximation Register (SAR) sebagai pusat dari konverter. Contoh dari ADC ini seperti terlihat pada gambar 4.9 di bawah ini, dengan menggunakan SAR tipe MC 14549.



GAMBAR 4.9 53)

#### RANGKAIAN SUCCESSIVE APPROXIMATION A/D CONVERTER

Pada pulsa clock yang pertama saat waktu awal konversi MSB dari keluaran SAR akan high. MC 1408, D/A Converter serta penguat LM 741 akan mengkonversikan

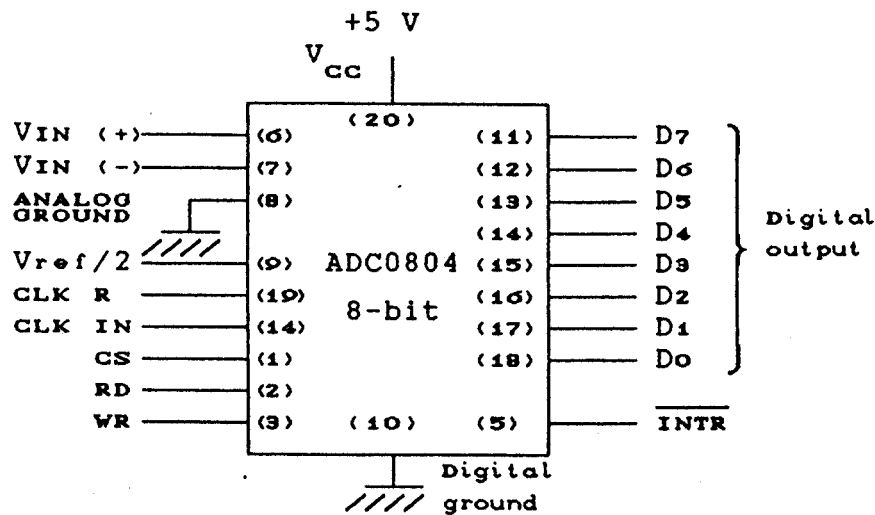
53) Ibid, halaman 826

tegangan tersebut dan kemudian menyalurkan ke pembanding LM 319N. Bila tegangan tersebut lebih tinggi daripada tegangan masukan yang lain dari pembanding, keluaran dari pembanding akan low dan SAR akan me-reset bit tersebut karena terlalu besar. Jika tegangan dari D/A Converter tersebut lebih kecil dari tegangan masukan pembanding, maka keluaran dari pembanding akan high dan bit tersebut akan dijaga oleh SAR. Hal tersebut dikerjakan berulang-ulang dari MSB sampai LSB dari SAR. Sehingga dibutuhkan 8 clock untuk mengerjakan konversi ini. Bila konversi tersebut sudah selesai, maka terdapat kode biner pada keluaran paralel dari SAR, dan untuk menandai hal tersebut SAR mengeluarkan sinyal End Of Conversion (EOC). Pada gambar di atas EOC dihubungkan ke Latch 74LS374 untuk menandakan bahwa data sudah dapat dibaca oleh komputer. Bila EOC dihubungkan ke Start Conversion (SC), maka konverter akan meneruskan konversi kembali.

#### 4.4.2 ANALOG to DIGITAL CONVERTER 0804

ADC 0804 adalah salah satu ADC tipe CMOS 8 bit Successive Approximation A/D Converter yang sering digunakan dalam aplikasi. Pin konfigurasi dari ADC 0804 seperti terlihat pada gambar 4.10 di bawah ini.





GAMBAR 4.10

ADC 0804 8-BIT SUCCESSIVE APPROXIMATION ADC  
DENGAN TRISTATE OUTPUT

Beberapa karakteristik penting dari ADC 0804 ini adalah :

- <1> Mempunyai 2 input analog :  $V_{IN}(+)$  dan  $V_{IN}(-)$  sehingga tersedia input diferensial, artinya tegangan input aktual adalah perbedaan dari  $V_{IN}(+)$  dan  $V_{IN}(-)$ .
- <2> Tegangan input analog dikonversi menjadi output digital 8 bit. Digital output dibuffer dengan tristate sehingga mudah dihubungkan dengan bus data. Resolusi untuk 8 bit adalah  $5V / 255 = 19,6 \text{ mV}$ .
- <3> Mempunyai rangkaian pembangkit clock yang menghasilkan frekwensi  $f = 1 / (1,1 RC)$ , dimana R dan C adalah komponen yang dihubungkan dari luar. Untuk  $R = 10 \text{ k}\Omega$  dan  $C = 150 \text{ pF}$  menghasilkan frekwensi 606 kHz. Clock

dari luar dapat digunakan bila diinginkan dengan menghubungkan ke kaki CLK IN.

- <4> Menggunakan clock dengan frekwensi 606 kHz, maka didapat waktu konversi mendekati 100  $\mu$ s.
- <5> Mempunyai dua penghubung ground yang terpisah, untuk digital dan untuk analog. Pin 8 adalah ground analog yang dihubungkan dengan titik referensi bersama dari rangkaian analog. Pin 10 adalah ground digital yang digunakan semua peralatan digital pada sistem.

Konverter ini sangat mudah dihubungkan dengan bus data mikroprosesor, beberapa jalur input dan output dari ADC 0804 yang perlu diketahui adalah sebagai berikut :

$\overline{CS}$  (Chip Select) :

Input ini aktif pada keadaan low sehingga input  $\overline{RD}$  atau  $\overline{RW}$  akan mempunyai efek. Untuk  $\overline{CS}$  high, output digital akan mempunyai keadaan Hi-Z (impedansi tinggi), sehingga hasil konversi tidak dapat diambil.

$\overline{RD}$  (Output Enable) :

Input ini membuat bufer output digital enable. Bila  $\overline{CS}$  sama dengan  $\overline{RD}$  sama dengan low, pin output digital akan mempunyai level logika sama dengan hasil terakhir konversi A/D.

$\overline{WR}$  (Start Conversion) :

Dengan memberikan pulsa low pada input ini konversi baru akan dimulai.

$\overline{\text{INTR}}$  (End Of Conversion) :

Output ini akan high pada saat permulaan konversi dan akan low setelah selesai konversi.

$V_{\text{ref}}/2$  :

Input ini merupakan pilihan yang digunakan untuk mereduksi tegangan referensi internal sehingga mengubah rentang input analog yang dapat ditangani oleh konverter. Jika input ini tidak dihubungkan, harganya adalah 2,5 V ( $V_{\text{cc}}/2$ ) karena  $V_{\text{cc}}$  digunakan sebagai referensi. Dengan menghubungkan pin ini dengan tegangan luar, referensi internal akan berubah dua kali dari tegangan yang diberikan.

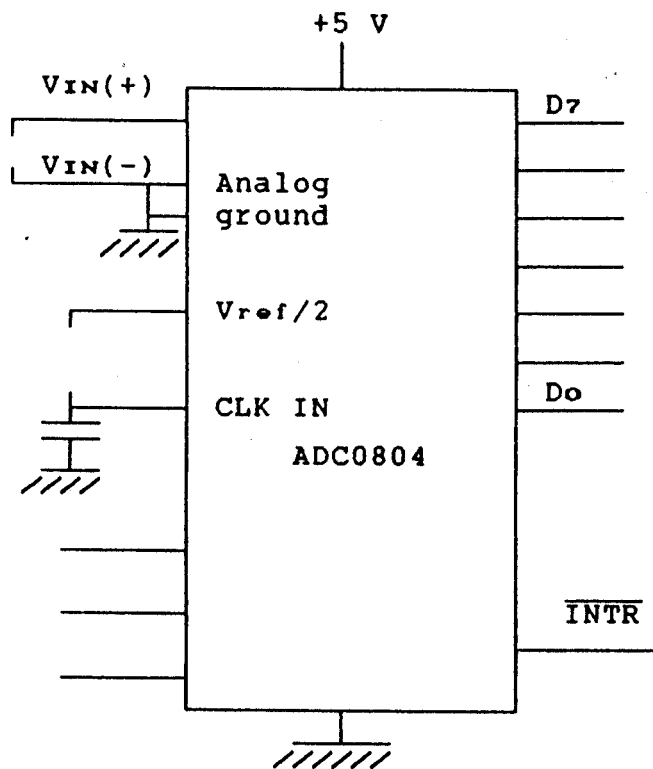
CLK R :

Untuk menggunakan internal clock resistor dihubungkan ke pin ini.

CLK IN :

Digunakan untuk input clock eksternal, atau kapasitor jika clock internal digunakan.

Penyambungan ADC 0804 ke mikrokomputer terlihat seperti pada gambar 4.11. Komputer akan mengirim sinyal  $\overline{\text{CS}}$  dan  $\overline{\text{WR}}$  jika akan mengadakan konversi.



GAMBAR 4.11 PENYAMBUNGAN ADC 0804 KE MIKROKOMPUTER

#### 4.5 SAMPLE & HOLD LF 398

Untuk mendapatkan suatu masukan yang dapat diterima oleh ADC dari suatu tegangan AC, maka diperlukan suatu rangkaian yang dapat menyampling dan menahan sampling tersebut selama waktu tertentu yang diperlukan oleh ADC untuk mengkonversi masukan tersebut menjadi suatu besaran digital. LF 398 adalah suatu pilihan dari berbagai rangkaian Sample & Hold yang paling mudah ditemui di pasaran yang paling sesuai dipakai pada Simulator ini.

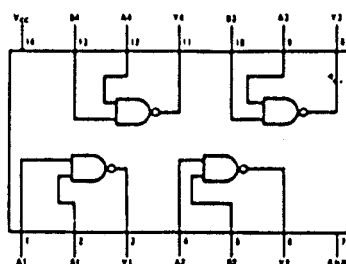
Adapun diagram fungsional serta hubungan aplikasi dari



#### 4.6 KOMPONEN PENUNJANG LAINNYA

##### 4.6.1 74LS00 GATE NAND DENGAN DUA MASUKAN

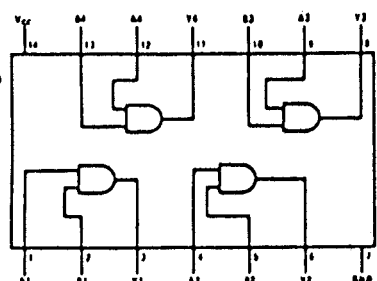
Adalah suatu IC TTL 14 pin yang berisi 4 ( empat ) gate NAND dengan masukan 2 ( dua ) input, seperti terlihat pada gambar 4.14 di bawah ini :



GAMBAR 4.14 DIAGRAM 74LS00 <sup>56)</sup>

##### 4.6.2 74LS08 GATE AND DENGAN DUA MASUKAN

Adalah suatu IC TTL 14 pin yang berisi 4 ( empat ) gate AND dengan masukan 2 ( dua ) input, seperti terlihat pada gambar 4.15 di bawah ini :



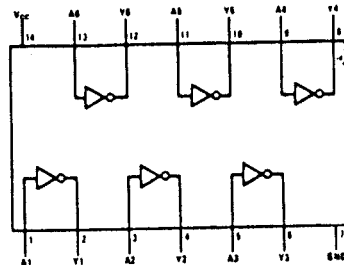
GAMBAR 4.15 DIAGRAM 74LS08 <sup>57)</sup>

<sup>56)</sup> Ibid

<sup>57)</sup> Ibid

#### 4.6.3 74LS04 GATE INVERTING

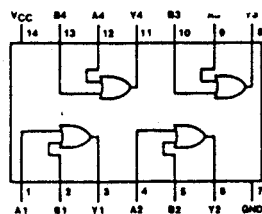
Adalah suatu IC TTL 14 pin yang berisi 4 ( empat ) gate Inverting, seperti terlihat pada gambar 4.16 di bawah ini :



GAMBAR 4.16 DIAGRAM 74LS04 58)

#### 4.6.4 74LS32 GATE OR DENGAN DUA MASUKAN

Adalah suatu IC TTL 14 pin yang berisi 4 ( empat ) gate OR dengan masukan 2 ( dua ) input, seperti terlihat pada gambar 4.17 di bawah ini :



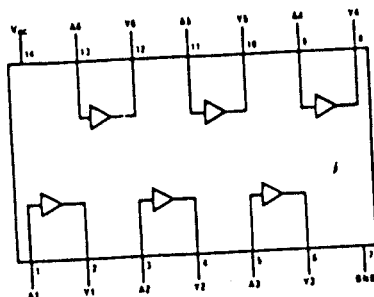
GAMBAR 4.17 DIAGRAM 74LS32 59)

56) Ibid

57) Ibid

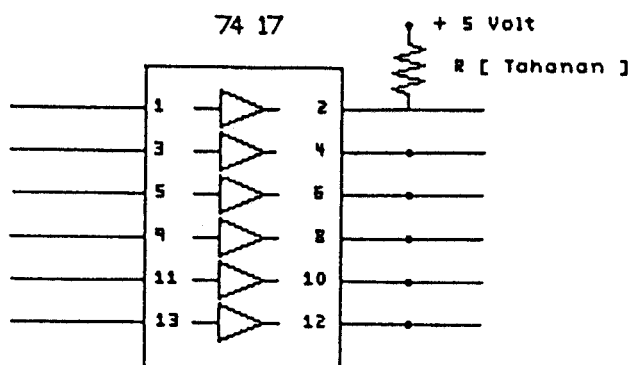
#### 4.6.5 7417 BUFFER DENGAN KELUARAN OPEN COLLECTOR

Adalah suatu IC TTL 14 pin yang berfungsi sebagai buffer ( penguat ) yang mempunyai keluaran Open-Collector, seperti terlihat pada gambar 4.18 berikut ini :



GAMBAR 4.18 DIAGRAM 7417 <sup>60)</sup>

Adapun hubungan penggunaan dari 7417 yang mempunyai keluaran Open Collector seperti terlihat pada gambar 4.19 berikut ini :

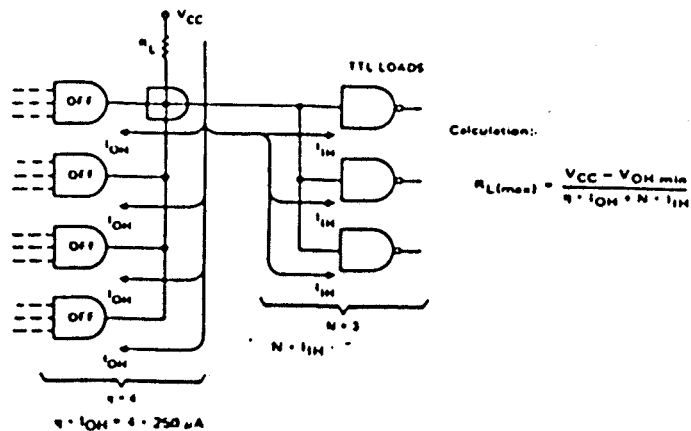


GAMBAR 4.19 HUBUNGAN PENGGUNAAN 7417

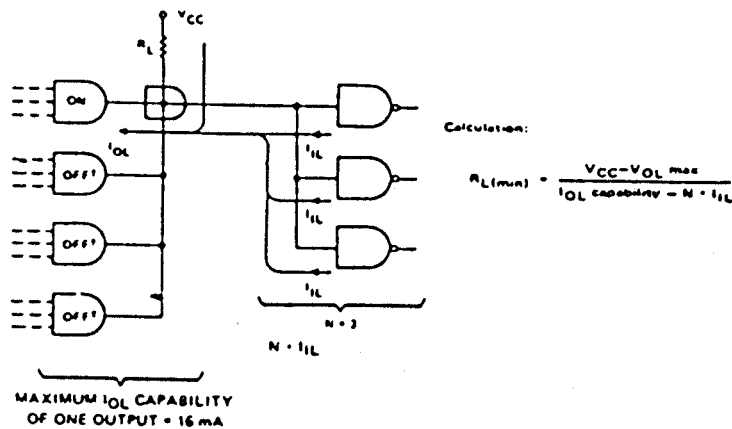
<sup>60)</sup> Ibid



Dan perhitungan untuk mencari besaran R ( tahanan ) dapat dilihat pada gambar 4.20 dan 4.21 berikut :



GAMBAR 4.20 PERHITUNGAN PADA KONDISI TEGANGAN HIGH <sup>(1)</sup>



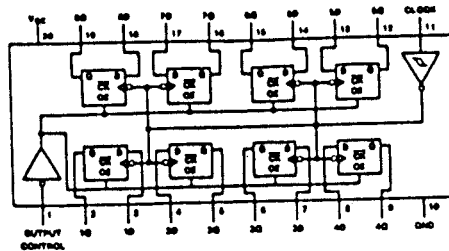
GAMBAR 4.21 PERHITUNGAN PADA KONDISI TEGANGAN LOW <sup>(2)</sup>

(1) Texas Instrument Incorporated, TTL Data Book, halaman 6-6

(2) Ibid, halaman 6-7

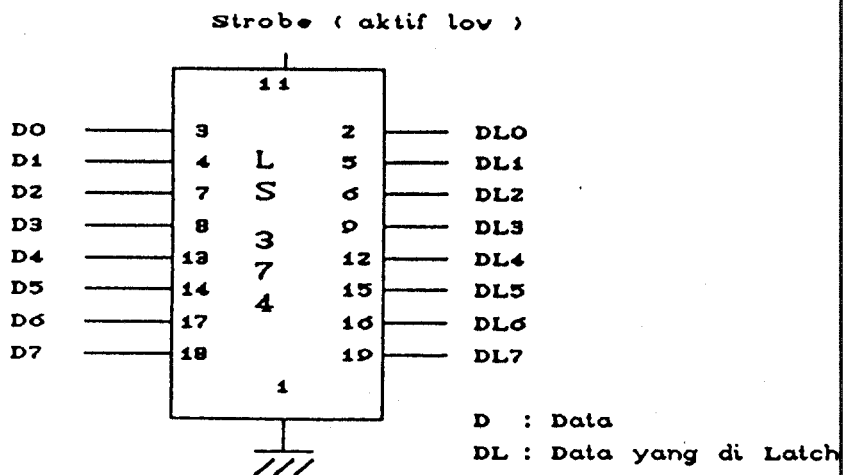
#### 4.6.6 74LS374 OCTAL D TYPE FLIP FLOP

Adalah suatu IC TTL 20 pin yang dapat menahan atau "menge-latch" suatu data tertentu sampai ada perintah lagi (suatu keadaan tertentu) untuk menahan data berikutnya dan terlihat seperti gambar 4.22 berikut :



GAMBAR 4.22 DIAGRAM 74LS374 (58)

Adapun hubungan pin-pin dari 74LS374 dalam penggunaan pada Interface INS ini adalah sebagai berikut :

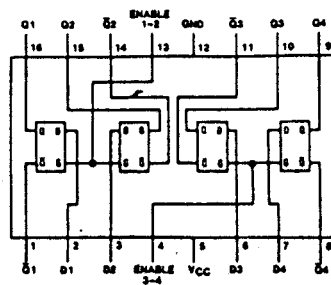


GAMBAR 4.23 HUBUNGAN PIN-PIN 74LS374

(53) National Semiconductor, Opcll

#### 4.6.7 LS75 4-BIT BISTABLE LATCHES

Adalah IC TTL 16 pin yang berfungsi untuk menyimpan data sementara selama proses dengan kontrol oleh pin Enable. Diagram LS75 terlihat pada gambar 4.24 di bawah ini :



GAMBAR 4.24 DIAGRAM LS75 <sup>64)</sup>

Dan mempunyai tabel kebenaran sebagai berikut :

TABEL 4.5 TABEL KEBENARAN LS75 <sup>65)</sup>

Input		Output	
D	Enable	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	$Q_0$	$\bar{Q}_0$

<sup>64)</sup> Ibid

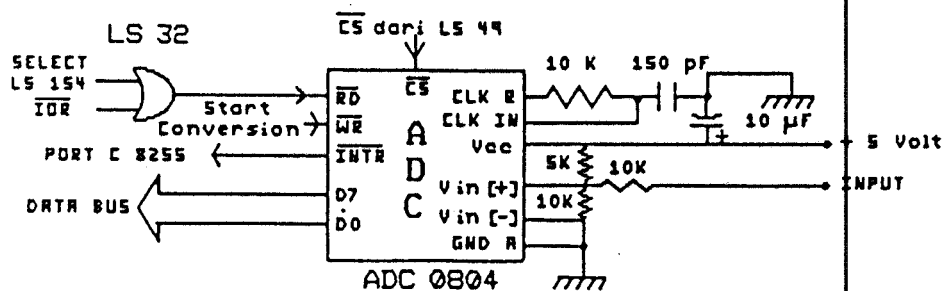
<sup>65)</sup> Ibid

#### 4.7 KONVERSI DARI ACCELEROMETER ( DC ) KE DIGITAL

Pada pembuatan Simulator INS Strapdown ini menganggap bahwa frekuensi perubahan besaran analog DC ( keluaran dari Accelerometer ) yang merupakan masukan ADC 0804 tidak lebih besar dari waktu konversi ADC tersebut.

Asumsi lain yang digunakan adalah range keluaran Accelerometer di antara - 10 Volt  $\text{s/d}$  + 10 Volt untuk menandakan adanya percepatan dan perlambatan.

Maka dapat digambarkan rangkaian pengubah dari keluaran Accelerometer yang berupa arus DC menjadi digital, sebagai berikut :



GAMBAR 4.25

RANGKAIAN KONVERSI DARI KELUARAN ACCELEROMETER KE DIGITAL

#### 4.8 KONVERSI DARI RING LASER GYRO ( SYNCHRO ) KE DIGITAL

Dalam merencanakan Simulator Sistem Navigasi Inersial Strapdown ini perlu dibuat suatu rangkaian yang dapat mengkonversi dari besaran-besaran Synchro menjadi besaran-besaran digital. Hal ini disebabkan karena keluaran dari Ring Laser Gyro adalah berbentuk Synchro.

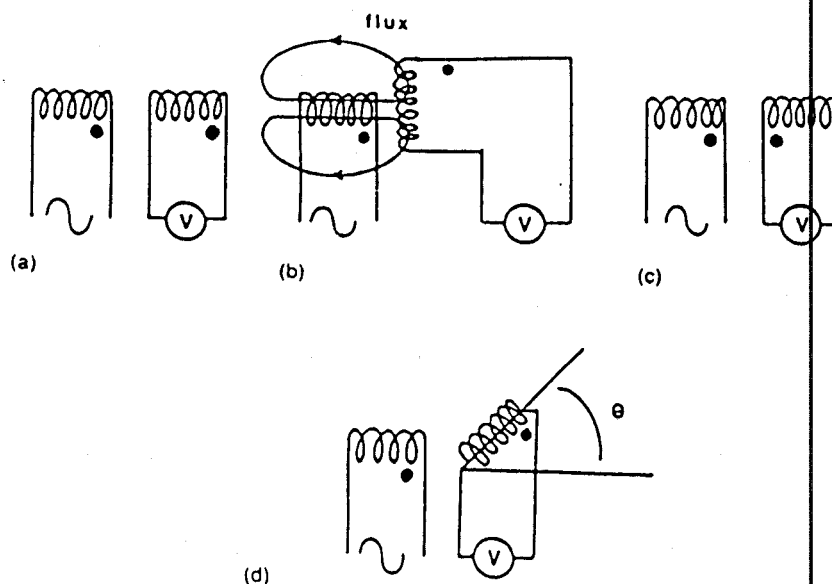
##### 4.8.1 TEORI DASAR SYNCHRO

Sebuah transformator sederhana seperti terlihat pada gambar 4.24(a), diberi masukan tegangan AC sebesar  $V_i$  Volt akan menghasilkan output sebesar  $V_o = KV_i$  Volt, dimana  $K$  adalah sebuah konstanta yang tergantung pada perbandingan lilitan dan faktor kerugian pada transformator. Pada gambar 4.24(b), lilitan sekunder bergerak sebesar  $90^\circ$ . Flux pada lilitan primer menginduksi lilitan sekunder dengan besaran yang sama dan arah yang berlawanan yang akan menghasilkan tegangan total sama dengan nol. Sedang pada gambar 4.24(c) lilitan sekunder bergerak  $180^\circ$ . Tegangan output sama seperti pada gambar 4.24(a) tetapi arahnya berlawanan, yaitu  $V_o = -KV_i$  Volt.

Gambar 4.24(a)-(c) merupakan hal khusus dari gambar 4.24(d) dimana lilitan sekunder bergerak sebesar  $\theta^\circ$  terhadap lilitan primer.

Tegangan output adalah sebagai berikut :

$$V_o = KV_i \cos \theta$$

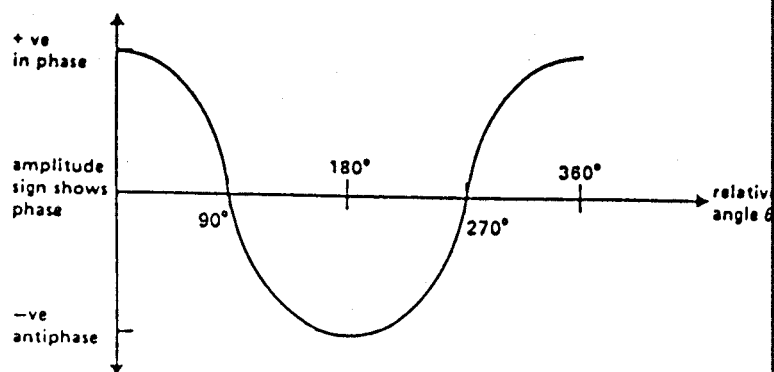


GAMBAR 4.26 TEORI DASAR DARI SYNCHRO

(a) LILITAN SEJAJAR (b) LILITAN PADA  $90^\circ$

(c) LILITAN SEJAJAR TAPI TERBALIK (d) KASUS-KASUS UMUM.

Hubungan antara sudut relatif dengan amplitudo dan phase dari tegangan output terlihat pada gambar 4.27.

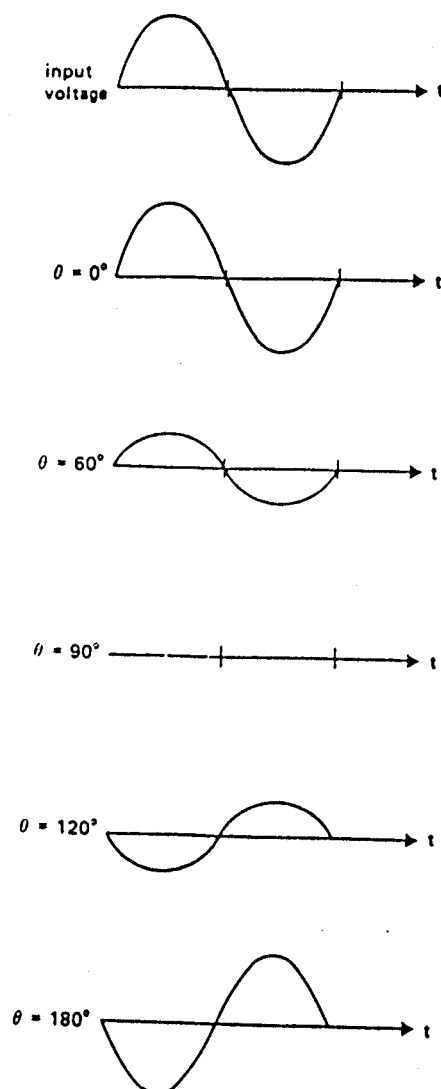


GAMBAR 4.27 HUBUNGAN ANTARA SUDUT RELATIF DENGAN AMPLITUDO DAN PHASE DARI OUTPUT

66 E. A. Parr, Op cit, halaman 90

67) Ibid, halaman 91

Tegangan output akan sephase dengan input bila  $\cos \theta$  positif (  $\theta > 270^\circ$  atau  $\theta < 90^\circ$  ) atau berlawanan phase dengan input bila  $\cos \theta$  negatif (  $90^\circ < \theta < 270^\circ$  ).



GAMBAR 4.28. HUBUNGAN ANTARA TEGANGAN OUTPUT DENGAN <sup>(28)</sup>  
WAKTU UNTUK BERMACAM SUDUT RELATIF

<sup>(28)</sup> Ibid, halaman 92

Pada  $\theta = 90^\circ$  dan  $\theta = 270^\circ$ , tegangan output secara teoritis akan sama dengan nol ( meskipun dalam prakteknya akan terdapat tegangan biarpun kecil sekali ). Bentuk output untuk berbagai sudut relatif terlihat pada gambar 4.28 di atas.

#### 4.8.2 TORSE SYNCHRO

Torsi Synchro merupakan suatu bentuk sederhana dari Synchro yang digunakan untuk menyalurkan suatu informasi posisi sudut dengan sinyal induksi serta untuk menghasilkan kembali informasi tersebut dengan menampilkan pada shaft sebagai output. Salah satu aplikasi yang terpenting adalah pemakaian pada sistem instrumen pada pesawat.

Sistem Torsi Synchro terdiri dari dua bagian yang sama yang saling terhubung seperti pada gambar 4.29, yang disebut Transmitter (TX) dan Receiver (TR). Tiap-tiap bagian mempunyai 2 komponen utama, yaitu sebuah rotor yang memiliki satu lilitan dan sebuah stator yang terdiri dari 3 lilitan yang terpisah  $120^\circ$  dengan hubungan bintang.

Perbedaan Transmitter dan Receiver pada Torsi Synchro adalah rotor pada Transmitter dikopel oleh sebuah poros input, sedang rotor pada Receiver bebas untuk berotasi ( bergerak ). Lilitan pada rotor dihubungkan ke tegangan suplai AC single phase dan hubungan statornya dihubungkan ke jalur transmisi.





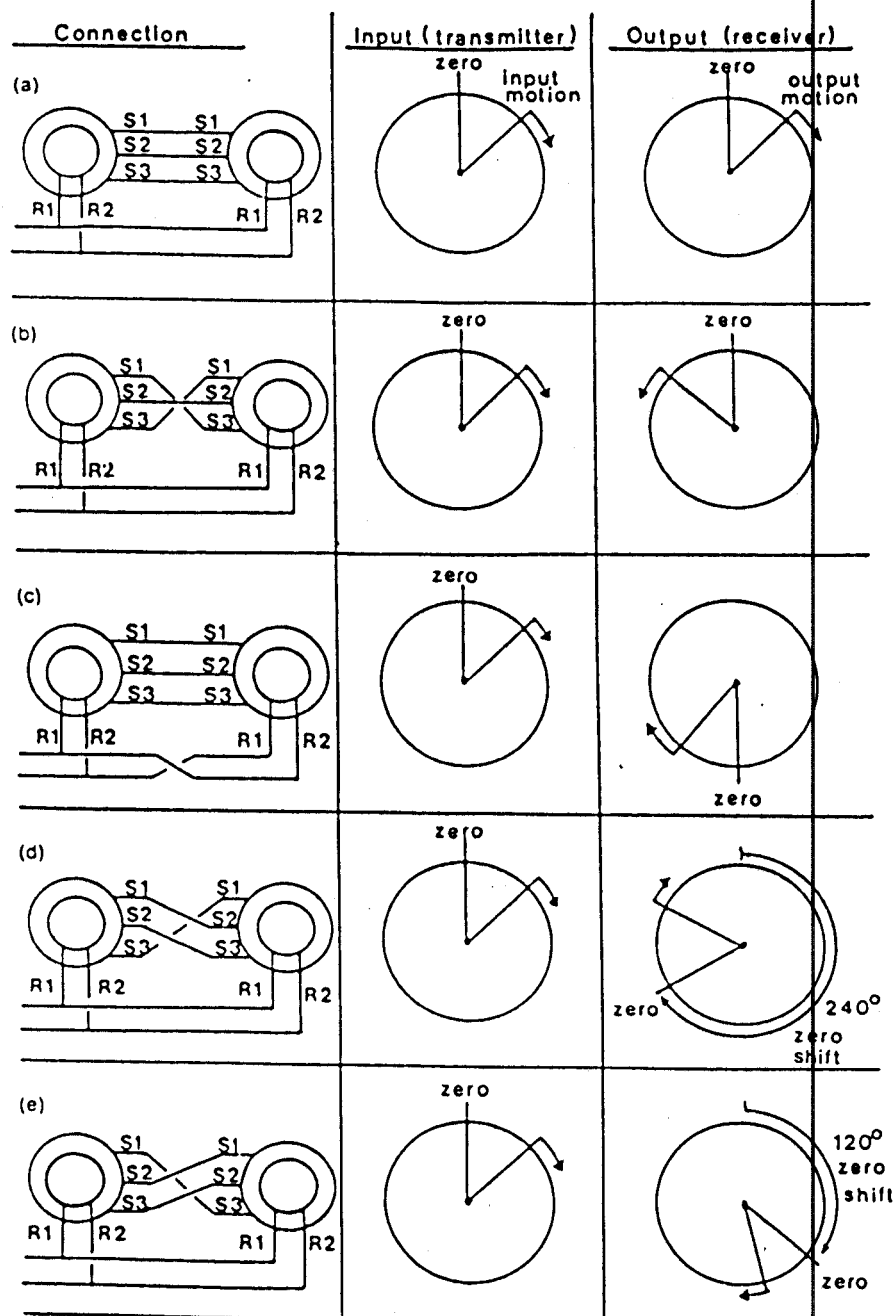
Tegangan AC yang dihubungkan ke rotor Receiver juga menghasilkan medan magnet. Dan bila medan magnet tersebut tidak pada arah yang sama dengan medan yang dihasilkan oleh stator, maka akan terdapat torsi pada rotor Receiver yang akan menyebabkan rotor berotasi ( bergerak ) sampai medan dari rotor dan stator sejajar ( atau sudut rotor Receiver sama dengan sudut rotor Transmitter ).

Bila rotor Transmitter diputar dengan sudut yang baru ( lain ), maka medan magnet pada stator Receiver akan menyebabkan rotor Receiver bergerak sampai sudutnya sama dengan rotor Transmitter.

Pada gambar 4.30 di bawah ini terlihat beberapa macam hubungan yang biasa ada antara Transmitter dan Receiver pada Torsi Synchro.

#### **4.8.3 RANGKAIAN PENGUBAH DARI ARUS SYNCHRO MENJADI BESARAN DIGITAL**

Setelah mengetahui teori dasar dari Synchro dan hubungan torsi Synchro yang biasa terdapat pada instrumen pesawat terbang, maka dapat dibuat suatu rangkaian yang dapat mengubah dari arus Synchro menjadi data paralel digital yang dapat diterima oleh komputer.



GAMBAR 4.30 HUBUNGAN DARI TORSI SYNCHRO

70)

(a) STANDAR (b) CROSSED STATOR (c) CROSSED ROTOR

(d) CYCLIC SHIFT (e) CYCLIC SHIFT

Hal-hal penting yang perlu diperhatikan dalam membuat rangkaian tersebut adalah :

- <1> Keluaran dari Ring Laser Gyro berupa 3 kabel yaitu S1, S2 dan S3 yang seolah-olah memotong jalur transmisi dari Transmitter ke Receiver pada Torsi Synchro. Dan hubungan Torsi Synchro yang dipakai adalah Hubungan Standar.
- <2> Disamping itu terdapat jalur untuk tegangan referensi. Pada Simulator ini tegangan referensi yang dipakai adalah 26 Volt dengan frekuensi 400 Hz.
- <3> Karena harga IC Synchro to Digital Converter ( SDC ) dari Analog Devices terlalu mahal, maka dibuat suatu rangkaian pengganti yang dapat mengkonversikan dari synchro ke digital dengan bantuan perangkat lunak.
- <4> Dari teori di atas terlihat bahwa data yang dikirimkan adalah perbedaan besar amplitudo dari tegangan diantara jalur-jalur S1-S2, S2-S3 dan S3-S1 terhadap tegangan referensi dan hal tersebut merupakan fungsi dari perubahan besar sudut shaft pada rotor Transmitter. Atau bisa ditulis dalam persamaan - persamaan <sup>71)</sup> sebagai berikut :

$$V_{ref} = V_m \sin \omega t$$

$$V_{S1-S2} = K V_m \sin \omega t \cos ( \theta + \phi )$$

71) Analog Devices, Data Acquisition DataBook, halaman 5-22

$$V_{S2-S3} = K V_m \sin \omega t \cos (\theta + \phi + 120^\circ)$$

$$V_{S3-S1} = K V_m \sin \omega t \cos (\theta + \phi + 240^\circ)$$

di mana,

$V_{ref}$  = Tegangan Referensi sebesar 26 Vac -  
400 Hz

$V_{S1-S2}$  = Tegangan antara S1 dengan S2

$V_{S2-S3}$  = Tegangan antara S2 dengan S3

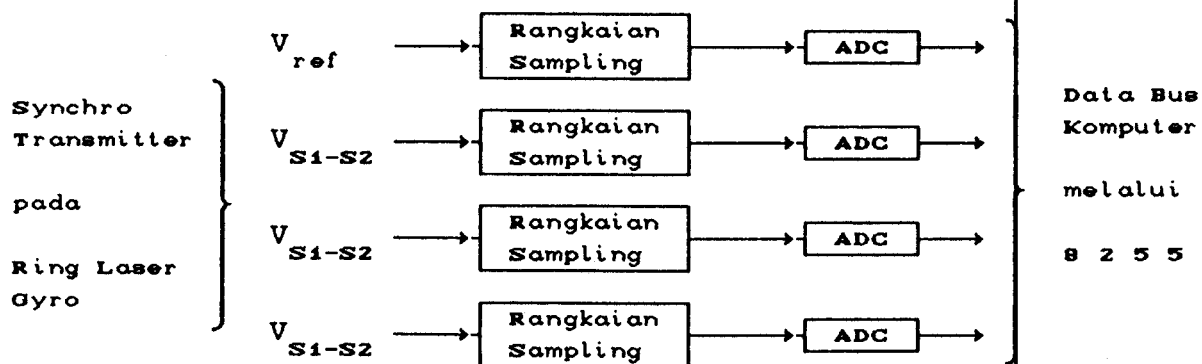
$V_{S3-S1}$  = Tegangan antara S3 dengan S1

$K$  = Konstanta transformator

$\theta$  = Besar perputaran sudut

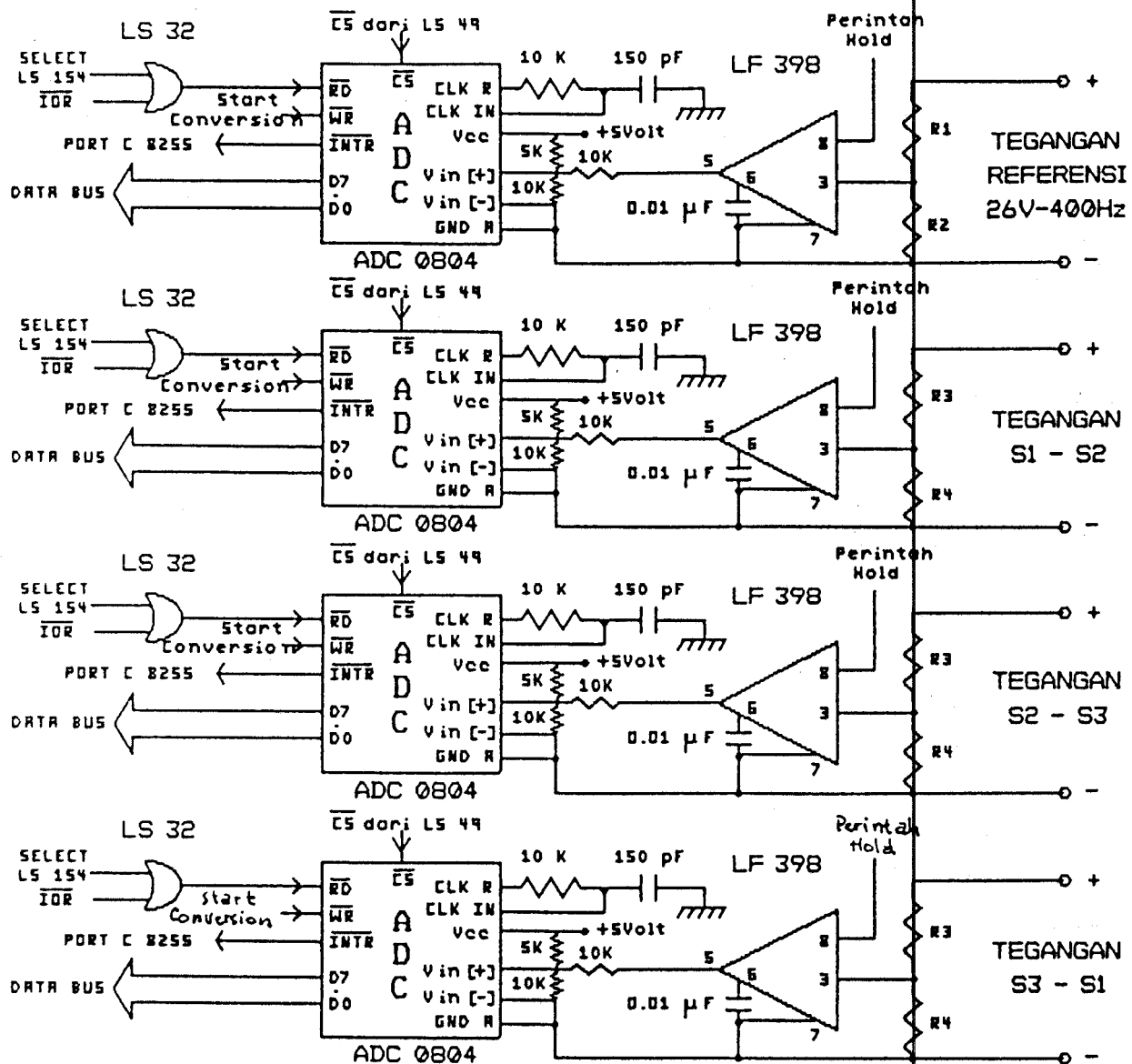
$\phi$  = Konstanta keseimbangan pada saat  
sudut shaft sama dengan  $0^\circ$

Maka dari hal-hal tersebut di atas dapat digambarkan rangkaian perubah dari Synchro ke digital sebagai berikut :



GAMBAR 4.31 DIAGRAM RANGKAIAN PENGUBAH DARI SYNCHRO KE DIGITAL

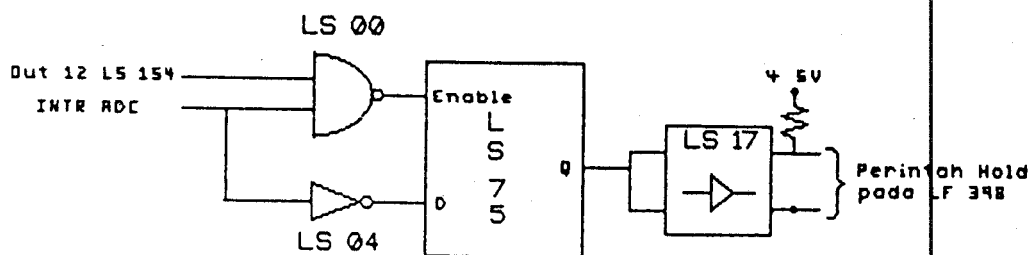
Dari diagram di atas dapat dibuat suatu rangkaian yang dapat mengkonversikan keluaran Ring Laser Gyro yang berupa arus Synchro menjadi besaran digital, sebagai berikut :



GAMBAR 4.32 RANGKAIAN KONVERSI  
DARI SYNCHRO ( KELUARAN RLG ) MENJADI DIGITAL

#### 4.8.4 RANGKAIAN UNTUK PERINTAH SAMPLE DAN HOLD

Pada rangkaian di atas diperlukan lagi suatu rangkaian yang dapat mengirim sinyal hold secara benar. Pada saat ADC 0804 akan melakukan suatu konversi Sample & Hold LF 398 harus sudah menahan ( hold ) sinyal AC pada suatu tegangan yang tetap dan setelah ADC 0804 selesai mengkonversi besaran tegangan tersebut, Sample & Hold LF 398 kembali dalam keadaan normal ( Sample ). Adapun rangkaian tersebut seperti terlihat pada gambar berikut ini :



GAMBAR 4.33 RANGKAIAN UNTUK PERINTAH SAMPLE & HOLD

#### 4.9 RANGKAIAN LENGKAP INTERFACE

Setelah dibahas secara mendetail pada sub-sub Bab sebelumnya, maka dapat digambarkan suatu rangkaian lengkap yang merupakan rangkaian interface yang menghubungkan antara IBM PC-XT dengan sensor-sensor Sistem Navigasi Inersial Strapdown yang tercantum pada Lampiran.

Pada bagian yang mengkonversi dari Synchro ( RLG ) ke digital hanya dipakai dua rangkaian konversi saja untuk tiap-tiap keluaran Ring Laser Gyro dengan ditambah satu rangkaian yang mengkonversi tegangan referensi yang dianggap sama untuk ketiga Ring Laser Gyro. Jadi untuk ketiga Ring Laser Gyro hanya memerlukan tujuh rangkaian konversi saja. Sedang pada bagian yang mengkonversi dari DC ( Accelerometer ) ke digital dibutuhkan tiga rangkaian konversi untuk ketiga keluaran Accelerometer.



# B A B    V

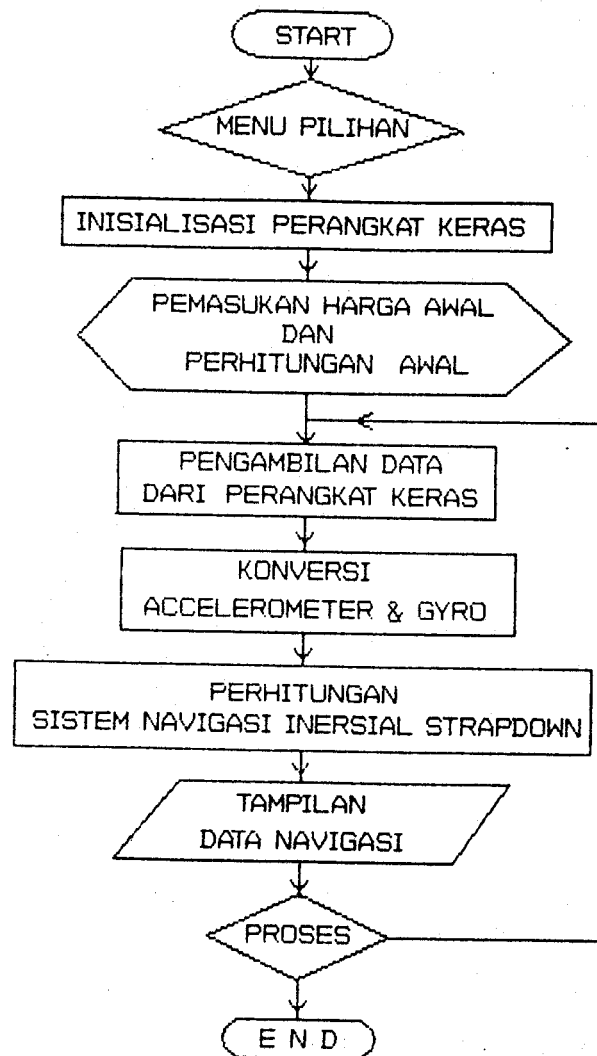
## P E R E N C A N A A N

### P E R A N G K A T    L U N A K

---

Setelah dibahas masalah perangkat keras dari Simulator Sistem Navigasi Inersial Strapdown dalam bab IV, maka dalam bab ini akan dibahas tentang perangkat lunaknya. Perangkat lunak ini digunakan untuk mengatur tata cara pengambilan data-data dari sensor Sistem Navigasi Inersial Strapdown serta akan melakukan suatu perhitungan guna menghasilkan besaran-besaran navigasi yang diperlukan dalam suatu penerbangan. Adapun perangkat lunak yang digunakan disini dengan memakai suatu bahasa tingkat tinggi, yang diharapkan untuk lebih mudah dipakai atau digunakan oleh banyak pemakai yang umumnya kurang memahami akan bahasa tingkat rendah.

Adapun diagram alir utama dari perangkat lunak yang dipakai adalah sebagai berikut :



GAMBAR 5.1

DIAGRAM ALIR UTAMA DARI PERANGKAT LUNAK  
SIMULATOR SISTEM NAVIGASI INERSIAL STRAPDOWN

## 5.1 MODE PILIHAN

Simulator ini direncanakan untuk dapat dipakai dalam berbagai pemakaian fungsional, diantaranya dipakai sebagai Simulator Sistem Navigasi Inersial Strapdown dan diharapkan dapat dipakai sebagai alat yang dapat mengecek fungsi tiap-tiap bagian dari sistem tersebut, terutama alat sensornya. Pada perencanaan tersebut diproyeksikan supaya simulator ini dapat dikembangkan di masa yang akan datang.

## 5.2 INISIALISASI PERANGKAT KERAS

Dalam perencanaan perangkat keras, dipakai 8255 PPI. Hal ini dimaksudkan guna melindungi jalur data IBM, serta untuk memudahkan mengatur jalur data dari Simulator Sistem navigasi Inersial Strapdown tersebut. Dan tentunya hal ini juga dimaksudkan supaya dapat lebih mudah dikembangkan dalam pemakaian fungsional yang lainnya. Maka 8255 PPI di atas perlu untuk diinisialisasi sesuai dengan keperluan.

Penginisialisasian tersebut dengan mengirim suatu data yang mempunyai command seperti berikut, Port A sebagai port input, Port C ( salah satu atau keduanya ) bisa sebagai port input, maka dalam hal ini Port C atas dan bawah diinisialisasi sebagai port input dan Port B bebas, dan dalam hal ini diinisialisasi sebagai port

output. Mode yang dipakai adalah mode 0. Data yang dikirim adalah Dec 152 ( Hex 98 ) atau kode binernya adalah

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	1	1	0	0	1

Data tersebut di atas dikirim pada suatu address tertentu, yaitu : pada address Dec 1007 ( Hex 3EF ) atau

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	1	1	0	1	1	1	1

### 5.3 PEMASUKAN HARGA-HARGA AWAL DAN PERHITUNGAN AWAL

Dalam mengerjakan proses-proses yang ada pada Sistem Navigasi Inersial Strapdown ini, diperlukan dahulu beberapa besaran sebagai harga awal. Harga-harga awal yang dibutuhkan tersebut adalah : posisi awal ( Waypoint asal), posisi tujuan ( Waypoint tujuan ), dalam bentuk besar lintang dan bujur bumi dan ketinggian dari permukaan air laut, serta waktu awal dilaksanakannya simulasi. Setelah itu akan dilakukan suatu perhitungan yang akan menghasilkan beberapa besaran navigasi yang penting, antara lain jarak di antara dua posisi ( distance to go ), arah yang diinginkan ( desired track ) dan dengan memasukkan kecepatan, akan dihasilkan perkiraan waktu tempuh ( time to go ).

Pada perhitungan mencari harga-harga awal dari simulasi ini serta dalam perhitungan di simulasi itu sendiri, ada beberapa hal penting yang merupakan

pendekatan, adalah sebagai berikut :

- Menganggap bahwa bumi itu ellips dengan permukaan rata, dan mempunyai harga-harga konstanta sebagai berikut :

$$r_e = \text{Jari-jari Equator bumi} = 20926435.2 \text{ ft.}$$

$$r_p = \text{Jari-jari Kutub bumi} = 20855973.6 \text{ ft.}$$

$$E = \text{Elipsitas bumi} = 3.367109559 \cdot 10^{-9}$$

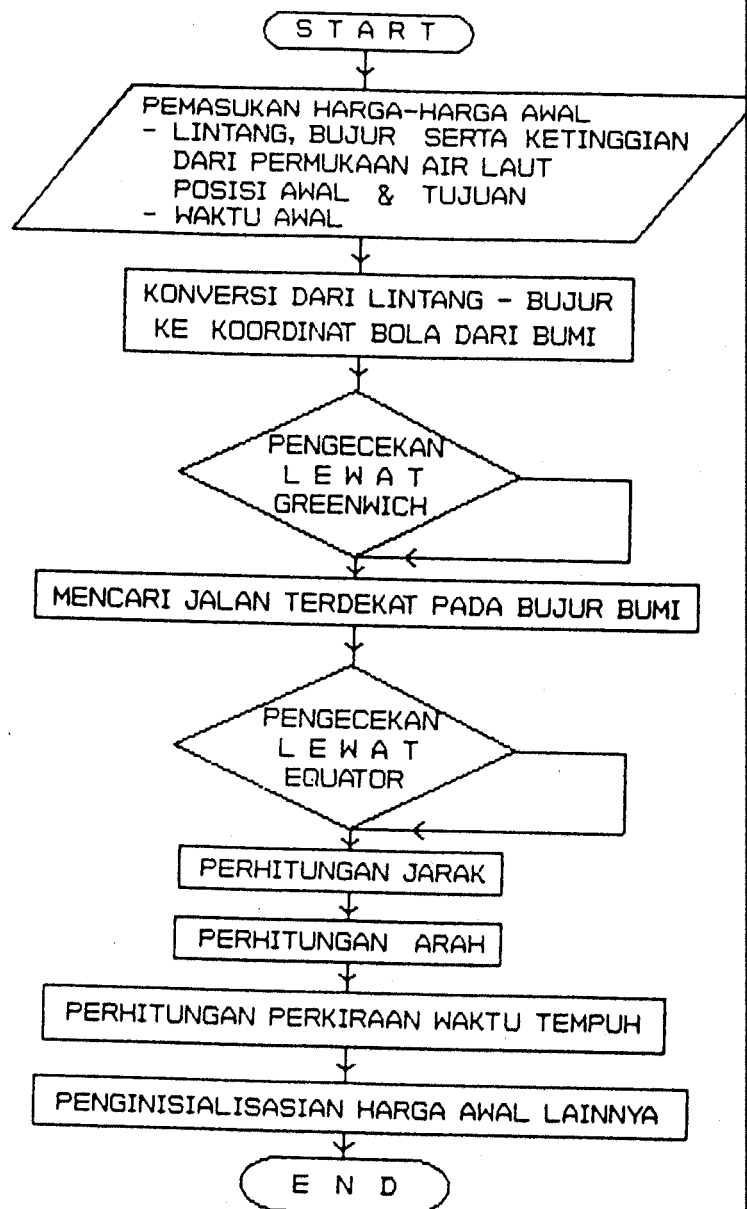
- Pada perhitungan simulasi ini yang dianggap sebagai jari-jari permukaan bumi adalah dianggap sebagai batas permukaan air laut.

Dan hal ini mengakibatkan, perlu untuk menginisialisasi dahulu ketinggian dari permukaan air laut dari tiap-tiap posisi.

Pada perhitungan di sub bab ini, untuk menentukan jarak dari dua posisi di permukaan bumi, memakai pendekatan koordinat bola. Sedangkan perhitungan pada program utama dari simulasi Sistem Navigasi Inersial Strapdown dengan memakai pendekatan koordinat kartesian.

Pada perhitungan awal ini juga diinisialisasi dahulu besaran-besaran yang lainnya, diantaranya kecepatan awal sama dengan nol dan percepatan awal sama dengan nol serta memasukkan harga heading pesawat.

Diagram alir dari pemasukan harga awal dan perhitungan awal ini dapat dilihat pada gambar 5.2.



GAMBAR 5.2

DIAGRAM ALIR PEMASUKAN HARGA AWAL DAN PERHITUNGAN AWAL

#### 5.4 PENGAMBILAN DATA DARI SENSOR

Pada sub bagian pengambilan data dari sensor, terdapat 3 urutan yang terpenting, yaitu :

- <1> Komputer mengeluarkan perintah pada Sample Hold LF 398 untuk menahan tegangan AC pada suatu keadaan yang tetap ( hold ) secara bersama-sama untuk seluruh sensor dari masukan synchro.

Perintah ini pada address Dec 876 ( Hex 36C ) atau

kode binernya

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	0	1	1	0	1	1	0	0

- <2> Kemudian komputer mengeluarkan perintah pada semua ADC untuk melakukan konversi dari tiap-tiap masukannya.

Perintah ini pada address Dec 875 ( Hex 36B ) atau

kode binernya

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	0	1	1	0	1	0	1	1

- <3> Setelah itu komputer mengecek, apakah tiap-tiap ADC telah menyelesaikan konversinya. Hal ini dilakukan dengan mengambil data pada Port C 8255 dengan address Dec 975 ( Hex 3CF ) atau kode binernya adalah :

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	1	0	0	1	1	1	1

Setelah ADC menyelesaikan konversinya, komputer mengeluarkan perintah kembali untuk mengambil data dari tiap-tiap ADC. Address yang digunakan adalah Dec 865 - 874 ( Hex 361 - 36A ) atau kode binernya

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	-	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	0	1	1	0	0	0	0	1	-	1	1	0	1	1	0	1	0	1	0

Setelah data dikeluarkan dari ADC ke Port A dari 8255, kemudian komputer mengambil data tersebut dari Port A 8255 dengan address Dec 911 ( Hex 38F ) atau kode binernya

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	0	0	0	1	1	1	1

## 5.5 KONVERSI ACCELEROMETER

Pada Simulator Sistem Navigasi Inersial Strapdown ini terdapat 3 ( tiga ) masukan dari Accelerometer yang dianggap sebagai percepatan pada tiap-tiap sumbu dari pesawat terbang.

Pada sub bab sebelumnya telah didapatkan besaran - besaran digital yang mewakili keluaran dari tiap-tiap Accelerometer. Oleh karena itu diperlukan konversi guna menghasilkan besaran yang diwakilinya.

Tegangan input interface yang merupakan keluaran dari potensio, yang dalam hal ini dianggap sebagai simulasi dari Accelerometer berkisar antara - 10 Volt  $\frac{s}{d}$  + 10 Volt.

Maka besar tegangan yang diwakili oleh besaran digital yang terbaca oleh komputer adalah :

$$\text{Tegangan} = \left[ \frac{20}{256} \times \text{Desimal} \right] - 10 \text{ Volt} \quad (5.1)$$

Dan besar percepatan yang diwakilinya adalah :

$$\text{Percepatan} = [ P-P-T ] \times \text{Tegangan}$$



di mana,

P-P-T : Perbandingan antara percepatan yang diukur dengan tegangan.

## 5.6 KONVERSI GYRO

Pada perencanaan simulator ini terdapat 3 ( tiga ) Ring Laser Gyro. Ring Laser Gyro ini dianggap memberikan suatu informasi besaran sudut. Dan keluaran dari Ring Laser Gyro ini adalah berupa arus Synchro yang mempunyai tegangan referensi yang sama untuk ketiganya, yaitu sebesar 26 Volt AC 400 Hz. Sehingga dengan demikian hanya diperlukan satu kali saja konversi dari masukan tegangan referensi tersebut.

Seperti diambil dari bab IV,

$$V_{ref} = V_m \sin \omega t$$

$$V_{s1-s2} = K V_m \sin \omega t \cos ( \theta + \phi )$$

$$V_{s2-s3} = K V_m \sin \omega t \cos ( \theta + \phi + 120^\circ )$$

$$V_{s3-s1} = K V_m \sin \omega t \cos ( \theta + \phi + 240^\circ )$$

di mana,

K = Konstanta transformator

$\theta$  = Besar perputaran sudut

$\phi$  = Konstanta keseimbangan pada saat sudut sama dengan  $0^\circ$

Bila  $V_{s1-s2}$  dibandingkan dengan  $V_{ref}$ ,

$$\frac{V_{s1-s2}}{V_{ref}} = \frac{K V_m \sin \omega t \cos (\theta + \phi)}{V_m \sin \omega t} = K \cos (\theta + \phi)$$

didapatkan,

$$\theta = \cos^{-1} \left[ \frac{1}{K} \frac{V_{s1-s2}}{V_{ref}} \right] - \phi \quad (5.2)$$

Dan bila  $V_{s2-s3}$  dibandingkan dengan  $V_{s1-s2}$ ,

$$\begin{aligned} \frac{V_{s2-s3}}{V_{s1-s2}} &= \frac{K V_m \sin \omega t \cos (\theta + \phi + 120^\circ)}{K V_m \sin \omega t \cos (\theta + \phi)} \\ &= -\frac{1}{2} \left[ 1 + \sqrt{3} \tan (\theta + \phi) \right] \end{aligned}$$

akan didapatkan,

$$\theta = \tan^{-1} \left[ -\frac{2}{\sqrt{3}} \frac{V_{s2-s3}}{V_{s1-s2}} - \frac{1}{\sqrt{3}} \right] - \phi \quad (5.3)$$

Pada Simulator Sistem Navigasi Inersial Strapdown ini yang diukur adalah  $V_{s3-s2}$

sehingga persamaa di atas menjadi,

$$\theta = \tan^{-1} \left[ \frac{2}{\sqrt{3}} \frac{V_{s3-s2}}{V_{s1-s2}} - \frac{1}{\sqrt{3}} \right] - \phi \quad (5.4)$$

Pada percobaan dalam pembuatan Simulator Sistem Navigasi Inersial Strapdown ini untuk membangkitkan sinyal synchro diambil dari Synchro Transmitter buatan BOWMAR Instrument Corp. dengan konstanta  $K = \frac{16.3}{36.6} = 0.4453552$  dan sudut keseimbangan pada  $\phi = 28^\circ$ .

Besar tegangan yang diwakili oleh besaran digital yang diterima oleh komputer adalah sebagai berikut :

- Untuk  $V_{ref}$  adalah :

$$\text{Tegangan} = \left[ \left[ \frac{20}{256} \times \text{Desimal} \right] - 10 \right] \times 3.66 \text{ Volt}$$

- Untuk  $V_{s1-s2}$ ,  $V_{s2-s3}$  dan  $V_{s3-s1}$  adalah :

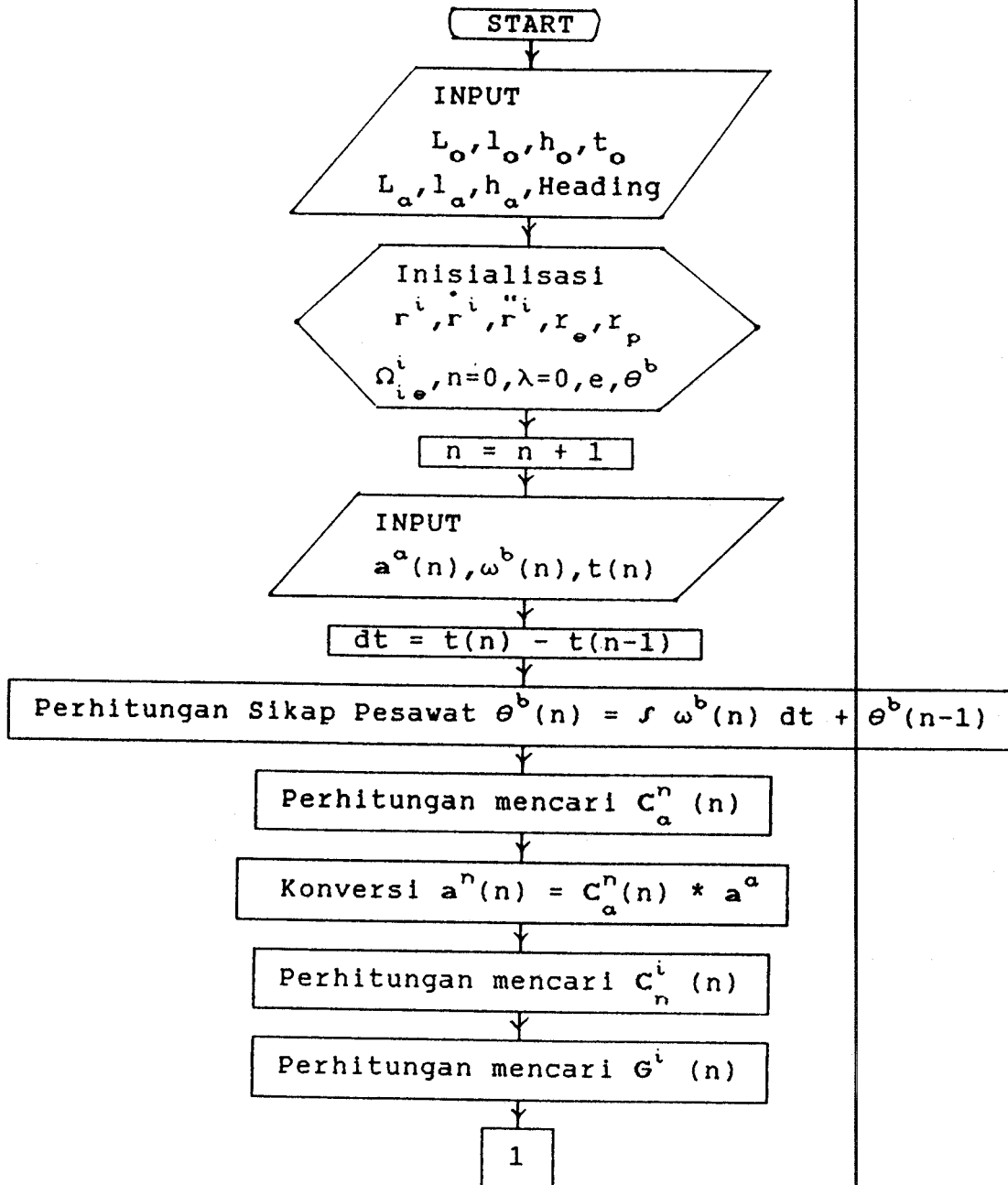
$$\text{Tegangan} = \left[ \left[ \frac{20}{256} \times \text{Desimal} \right] - 10 \right] \times 1.63 \text{ Volt}$$

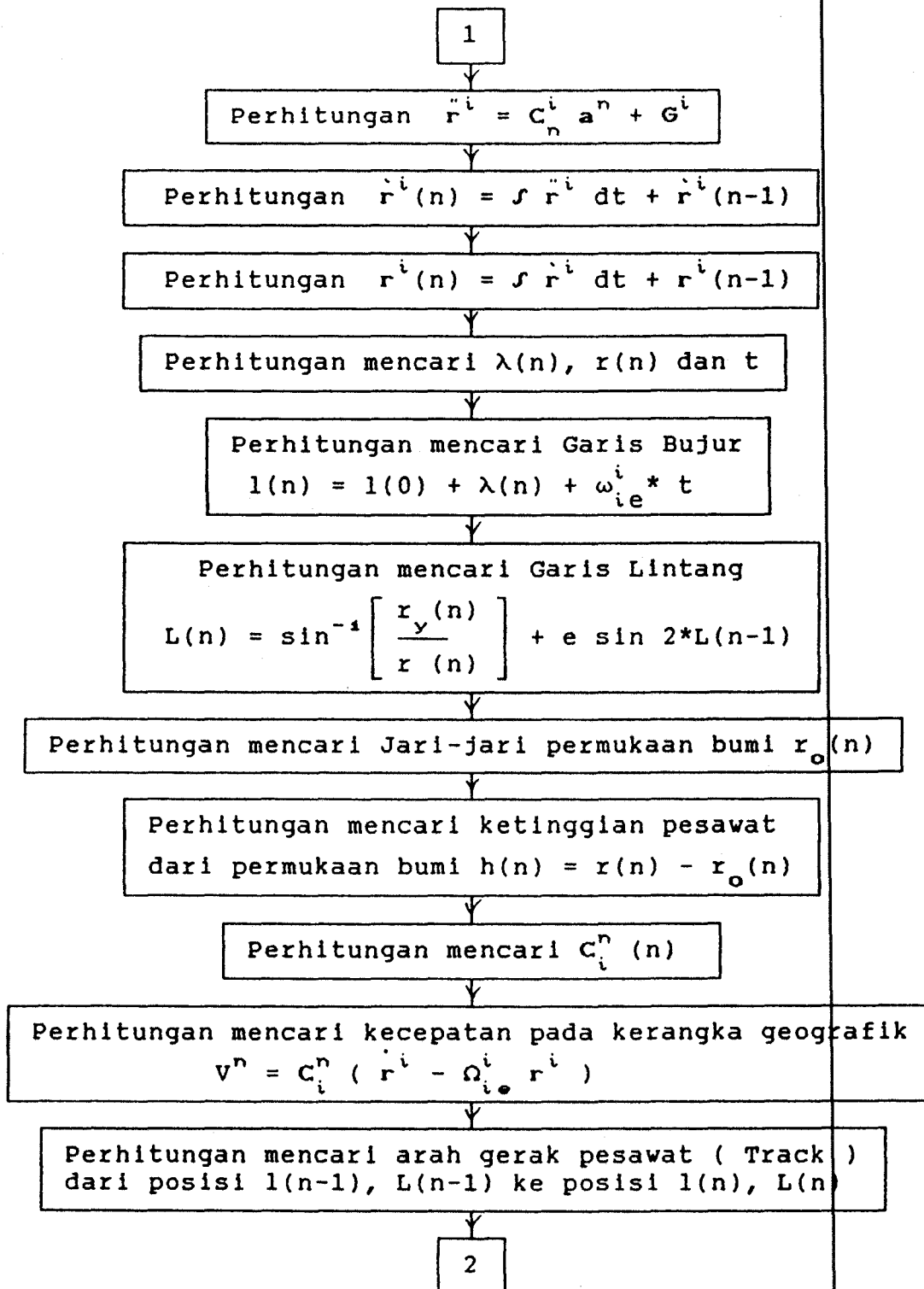
Pada persamaan 5.2 dan 5.3 akan dihasilkan masing-masing dua jawaban. Dan dari jawaban-jawaban tersebut ada salah satu yang sama. Dan itulah perputaran sudut yang diukur.

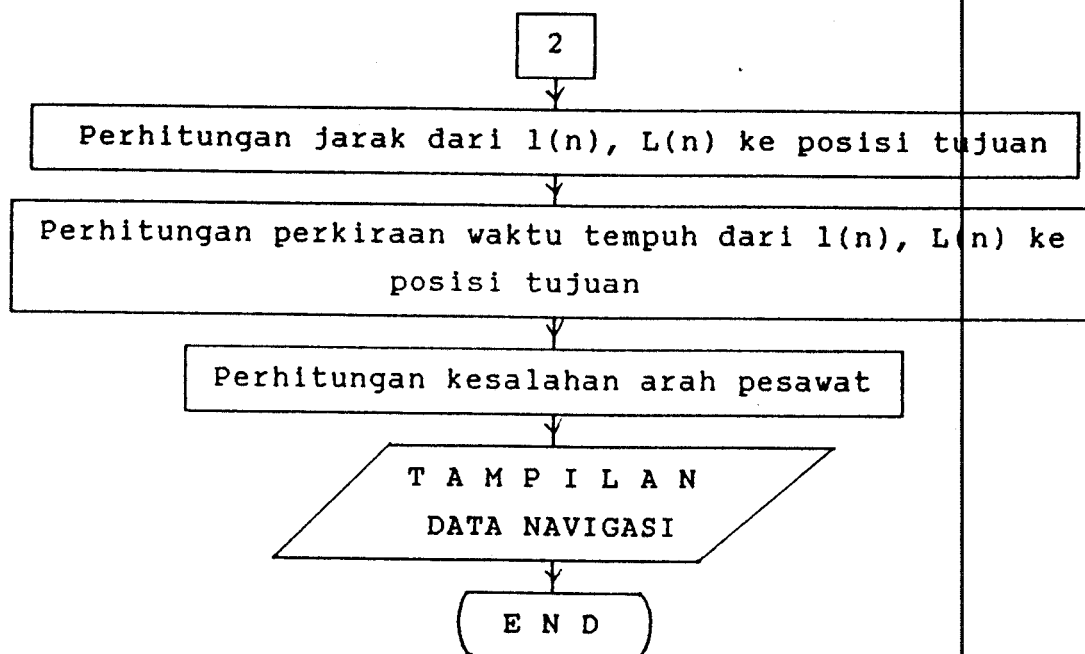
## 5.7 PERHITUNGAN SISTEM NAVIGASI INERSIAL STRAPDOWN

Setelah mendapatkan data-data yang diperlukan, maka komputer melakukan perhitungan guna menghasilkan data-data navigasi dengan memasukkan harga-harga awal. Dalam melakukan perencanaan perhitungan simulasi ( pembuatan perangkat lunak ) pada Simulator Sistem Navigasi Inersial Strapdown ini dengan memakai dasar mekanisme

sistem, seperti yang terlihat pada gambar 3.3. Gambar 5.3 di bawah ini adalah diagram alir dari perhitungan simulasi Sistem Navigasi Inersial Strapdown.







GAMBAR 5.3 DIAGRAM ALIR  
PERHITUNGAN SISTEM NAVIGASI INERSIAL STRAPDOWN

## B A B   V I

### K E S I M P U L A N

---

Dari pembuatan Simulator Sistem Navigasi Inersial Strapdown ini bisa ditarik suatu kesimpulan, sebagai berikut :

- <1> Waktu yang dibutuhkan untuk mengkonversi suatu besaran sudut tertentu yang diimplementasikan dengan arus Synchro menjadi suatu besaran digital yang menggambarkan besar sudut tersebut dianggap masih kurang cepat, sehingga satu satuan simulasinya agak lamban.
- Untuk mempercepat hal tersebut diperlukan rangkaian pengganti berupa suatu IC Hybrid Synchro Digital Converter ( SDC ) buatan Analog Devices , Norwood , Amerika Serikat.
- <2> Simulasi Sistem Navigasi Inersial Strapdown ini dirancang hanya digunakan untuk penerbangan yang dekat dengan garis Khatulistiwa ( Equator ) bumi.

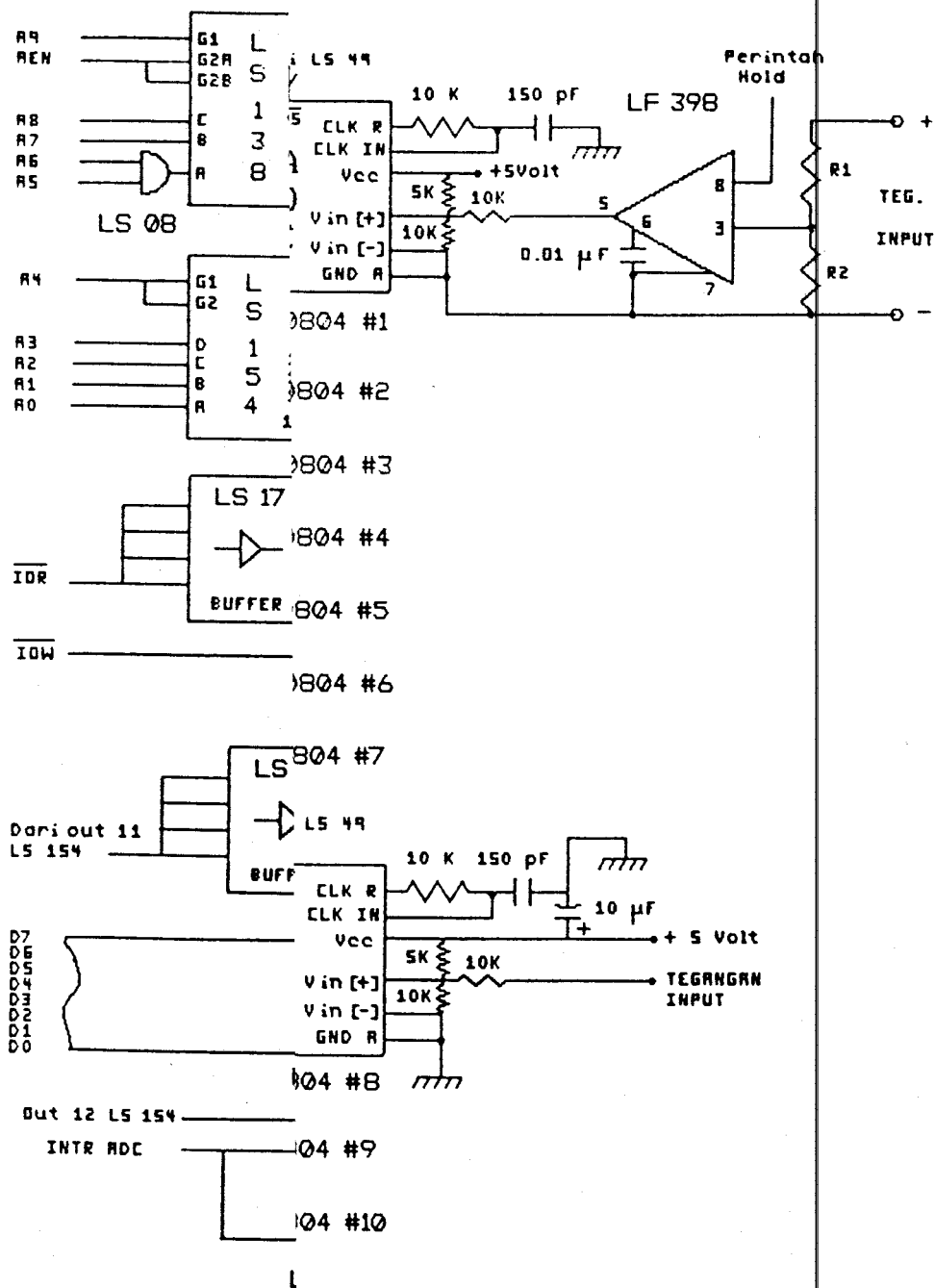
- <3> Pada simulasi ini belum dicek realibity-nya, sehingga pada waktu yang akan datang diharapkan untuk dapat disempurnakan kembali.
- <4> Dengan memberikan fasilitas untuk dikembangkan, terutama dengan memakai IC 8255 PPI Simulator ini diharapkan juga akan dapat dikembangkan untuk dapat mengecek peralatan-peralatan yang berupa sensor dari Sistem Navigasi Inersial Strapdown. Dan tentunya hal ini akan dapat meringankan beban bagi industri penerbangan di tanah air dalam mengeluarkan biaya guna mengecek peralatan-peralatan yang dibelinya.



## D A F T A R   P U S T A K A

1. Britting, Kenneth R., " Inertial Navigation System Analysis ", John Wiley & Sons, Inc., April, 1971.
2. Coffron, James W., " The IBM PC Connection ",
3. Fu'ad, M. Nuril, " The Ring Laser Gyro Principle of Operation ", Technical Paper IPTN, Bandung, Januari, 1989.
4. Hall, Douglas V., " Microprocessor And Interfacing Programming and Hardware " Mc. Graw Hill, 1986.
5. Hyat, William H., " engineering Electromagnetics ", New York City, Mc Graw Hill Inc.
6. Pallet, EHJ, " AirCraft Instrument "
7. Parr, E.A., BSc., C.Eng., MIEE, " Industrial Control Handbook , Volume 1 ", Collins, 1986.
8. -----, " Application of The Ring Laser Gyro( RLG ) to Strapdown Navigation Systems ", Litton Aero Products, February, 1980.
9. -----, " Fundamental of Inertial Navigation ", Litton Aero Products, October, 1975.
10. -----, " Litton Aero Products Training Center Presents... ", Litton Aero Products.

11. -----, " Data Acquisition DataBook " ,  
Analog Devices, Norwood USA, 1989.
12. -----, " TTL DataBook ", National  
Semiconductor,





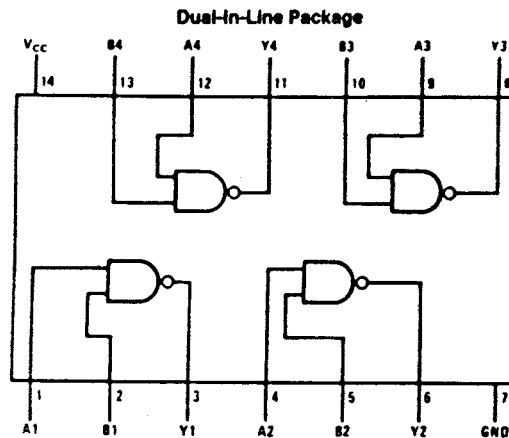
National  
Semiconductor  
Corporation

## DM54LS00/DM74LS00 Quad 2-Input NAND Gates

### General Description

This device contains four independent gates each of which performs the logic NAND function.

### Connection Diagram



TL/F/6439-1

Order Number DM54LS00J, DM74LS00M or DM74LS00N  
See NS Package Number J14A, M14A or N14A

### Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level  
L = Low Logic Level

**Absolute Maximum Ratings (Note)**

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage 7V

Input Voltage 7V

Operating Free Air Temperature Range

DM54LS -55°C to +125°C

DM74LS 0°C to +70°C

Storage Temperature Range -65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS00			DM74LS00			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.6	V
I <sub>OH</sub>	High Level Output Current			-0.4			-0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max, V <sub>IL</sub> = Max	DM54 2.5 DM74 2.7	3.4		V
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max, V <sub>IH</sub> = Min	DM54 DM74	0.25 0.35	0.4 0.5	V
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74	0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V			0	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V			20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			-0.36	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54 -20 DM74 -20		-100 -100	mA
I <sub>COH</sub>	Supply Current with Outputs High	V <sub>CC</sub> = Max		0.8	1.6	mA
I <sub>COL</sub>	Supply Current with Outputs Low	V <sub>CC</sub> = Max		2.4	4.4	mA

**Switching Characteristics** at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R <sub>L</sub> = 2 kΩ				Units
		C <sub>L</sub> = 15 pF		C <sub>L</sub> = 50 pF		
		Min	Max	Min	Max	
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.



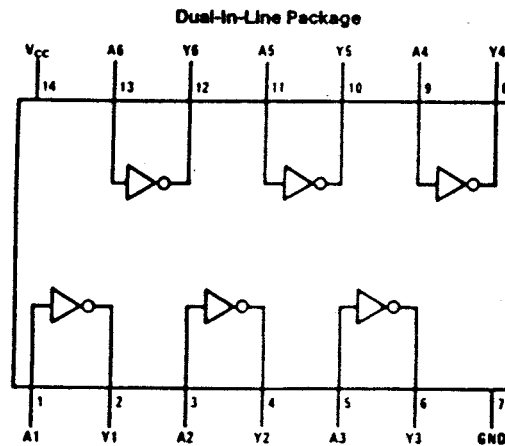
National  
Semiconductor  
Corporation

## DM54LS04/DM74LS04 Hex Inverting Gates

### General Description

This device contains six independent gates each of which performs the logic INVERT function.

### Connection Diagram



Order Number DM54LS04J, DM74LS04M or DM74LS04N  
See NS Package Number J14A, M14A or N14A

TL/F/6345-1

### Function Table

$$Y = \bar{A}$$

Input	Output
A	Y
L	H
H	L

H = High Logic Level

L = Low Logic Level

**Absolute Maximum Ratings (Note)**

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage 7V

Input Voltage 7V

Operating Free Air Temperature Range

DM54LS -55°C to +125°C

DM74LS 0°C to +70°C

Storage Temperature Range -65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS04			DM74LS04			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			-0.4			-0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max, V <sub>IL</sub> = Max	DM54 2.5	3.4		V
			DM74 2.7	3.4		
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max, V <sub>IH</sub> = Min	DM54	0.25	0.4	V
			DM74	0.35	0.5	
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74	0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V			0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V			20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			-0.36	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54 -20		-100	mA
			DM74 -20		-100	
I <sub>CC</sub>	Supply Current with Outputs High	V <sub>CC</sub> = Max		1.2	2.4	mA
I <sub>CCL</sub>	Supply Current with Outputs Low	V <sub>CC</sub> = Max		3.6	6.6	mA

**Switching Characteristics** at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R <sub>L</sub> = 2 kΩ				Units
		C <sub>L</sub> = 15 pF		C <sub>L</sub> = 50 pF		
		Min	Max	Min	Max	
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.



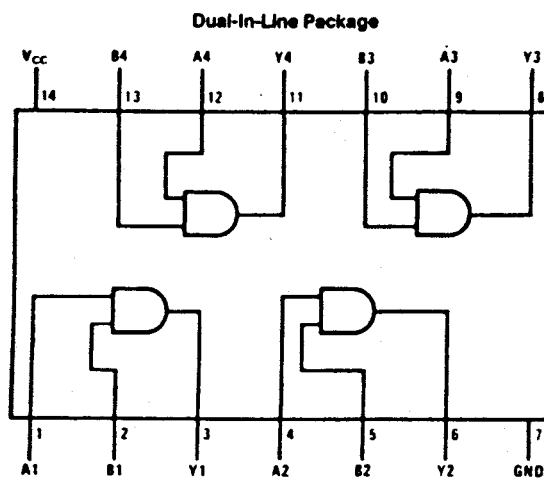
National  
Semiconductor  
Corporation

## DM54LS08/DM74LS08 Quad 2-Input AND Gates

### General Description

This device contains four independent gates each of which performs the logic AND function.

### Connection Diagram



Order Number DM54LS08J, DM74LS08M or DM74LS08N  
See NS Package Number J14A, M14A or N14A

TL/F/6347-1

### Function Table

$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level  
L = Low Logic Level



**Absolute Maximum Ratings (Note)**

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage 7V

Input Voltage 7V

Operating Free Air Temperature Range

DM54LS -55°C to +125°C

DM74LS 0°C to +70°C

Storage Temperature Range -65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS08			DM74LS08			Units
		Min	Nom	Max	Min	Nom	Max	
$V_{CC}$	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$	High Level Input Voltage	2			2			V
$V_{IL}$	Low Level Input Voltage			0.7			0.8	V
$I_{OH}$	High Level Output Current			-0.4			-0.4	mA
$I_{OL}$	Low Level Output Current			4			8	mA
$T_A$	Free Air Operating Temperature	-55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
$V_{OH}$	High Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}, V_{IH} = \text{Min}$	DM54 2.5	3.4		V
			DM74 2.7	3.4		
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}, V_{IL} = \text{Max}$	DM54	0.25	0.4	V
			DM74	0.35	0.5	
		$I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$	DM74	0.25	0.4	
$I_I$	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7V$			0.1	mA
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7V$			20	μA
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4V$			-0.36	mA
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54 -20		-100	mA
			DM74 -20		-100	
$I_{CCH}$	Supply Current with Outputs High	$V_{CC} = \text{Max}$		2.4	4.8	mA
$I_{CCL}$	Supply Current with Outputs Low	$V_{CC} = \text{Max}$		4.4	8.8	mA

**Switching Characteristics** at  $V_{CC} = 5V$  and  $T_A = 25^\circ\text{C}$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	$R_L = 2\text{ k}\Omega$				Units
		$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
		Min	Max	Min	Max	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	4	13	6	18	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	3	11	5	18	ns

Note 1: All typicals are at  $V_{CC} = 5V, T_A = 25^\circ\text{C}$ .

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.



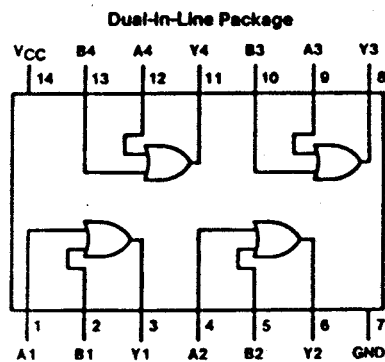
National  
Semiconductor  
Corporation

## DM54LS32/DM74LS32 Quad 2-Input OR Gates

### General Description

This device contains four independent gates each of which performs the logic OR function.

### Connection Diagram



TL/F/6361-1

### Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level  
L = Low Logic Level

DM54LS32/DM74LS32

**Absolute Maximum Ratings (Note)**

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	TV
Input Voltage	TV
Operating Free Air Temperature Range	
DM54LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS32			DM74LS32			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			-0.4			-0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max	DM54 2.5	3.4		V
		V <sub>IH</sub> = Min	DM74 2.7	3.4		
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max	DM54	0.25	0.4	V
		V <sub>IL</sub> = Max	DM74	0.35	0.5	
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74	0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V			0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V			20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			-0.36	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54 -20		-100	mA
			DM74 -20		-100	
I <sub>CCH</sub>	Supply Current with Outputs High	V <sub>CC</sub> = Max		9.1	6.2	mA
I <sub>CCL</sub>	Supply Current with Outputs Low	V <sub>CC</sub> = Max		4.9	9.8	mA

**Switching Characteristics** at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R <sub>L</sub> = 2 kΩ				Units
		C <sub>L</sub> = 15 pF		C <sub>L</sub> = 50 pF		
		Min	Max	Min	Max	
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	3	11	4	15	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	3	11	4	15	ns

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.



## DM54LS75/DM74LS75 Quad Latches

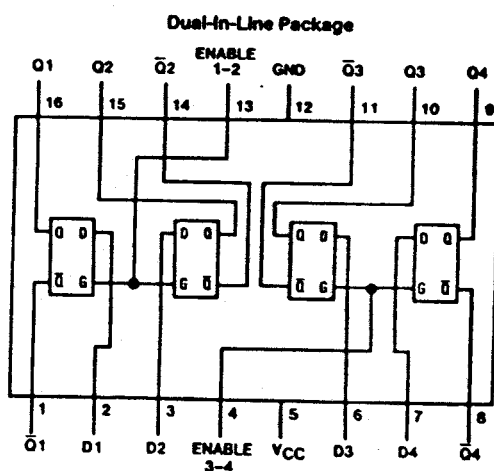
### General Description

These latches are ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the enable is high, and the Q output will follow the data input as long as the enable remains high. When the enable goes low,

the information (that was present at the data input at the time the transition occurred) is retained at the Q output until the enable is permitted to go high.

These latches feature complementary Q and  $\bar{Q}$  outputs from a 4-bit latch, and are available in 16-pin packages.

### Connection Diagram



TL/F/6374-1

Order Number DM54LS75J,  
DM74LS75M or DM74LS75N  
See NS Package Number J16A, M16A or N16A

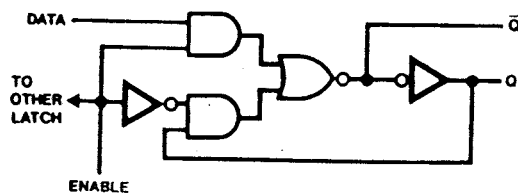
### Function Table (Each Latch)

Inputs		Outputs	
D	Enable	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	$Q_0$	$\bar{Q}_0$

H = High Level, L = Low Level, X = Don't Care

$Q_0$  = The Level of Q Before the High-to-Low Transition of ENABLE

### Logic Diagram (Each Latch)



TL/F/6374-2

**Absolute Maximum Ratings (Note)**

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage 7V

Input Voltage 7V

Operating Free Air Temperature Range

DM54LS -55°C to +125°C

DM74LS 0°C to +70°C

Storage Temperature Range -65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS75			DM74LS75			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			-0.4			-0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
t <sub>w</sub>	Enable Pulse Width (Note 4)	20			20			ns
t <sub>SU</sub>	Setup Time (Note 4)	20			20			ns
t <sub>H</sub>	Hold Time (Note 4)	0			0			ns
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54 2.5 DM74 2.7	3.5		V
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54 DM74	0.25 0.35	0.4 0.5	V
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74	0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V	D Enable		0.1 0.4	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V	D Enable		20 80	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V	D Enable		-0.4 -1.6	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54 -20 DM74 -20		-100 -100	mA
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max (Note 3)		6.3	12	mA

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I<sub>CC</sub> is measured with all outputs open and all inputs grounded.

Note 4: T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V.

**Switching Characteristics** at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	$R_L = 2\text{ k}\Omega$				Unit
			$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
			Min	Max	Min	Max	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	D to Q		27		30	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	D to Q		17		25	ns
$t_{PLH}$	Propagation Delay Time Low to High Level Output	D to $\bar{Q}$		20		25	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	D to $\bar{Q}$		15		20	ns
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable to Q		27		30	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable to Q		25		30	ns
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable to $\bar{Q}$		30		30	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable to $\bar{Q}$		15		20	ns



## DM54LS138/DM74LS138, DM54LS139/DM74LS139 Decoders/Demultiplexers

### General Description

These Schottky-clamped circuits are designed to be used in high-performance memory-decoding or data-routing applications, requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When used with high-speed memories, the delay times of these decoders are usually less than the typical access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

The LS138 decodes one-of-eight lines, based upon the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented with no external inverters, and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

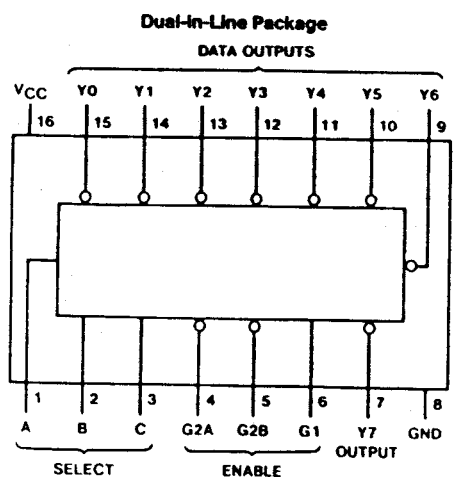
The LS139 comprises two separate two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs, presenting only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design.

### Features

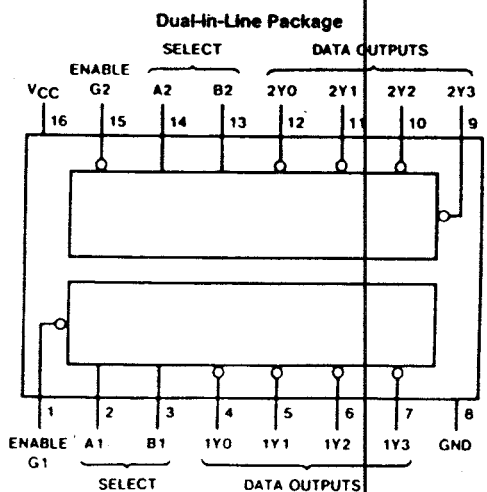
- Designed specifically for high speed:
  - Memory decoders
  - Data transmission systems
- LS138 3-to-8-line decoders incorporates 3 enable inputs to simplify cascading and/or data reception
- LS139 contains two fully independent 2-to-4-line decoders/demultiplexers
- Schottky clamped for high performance
- Typical propagation delay (3 levels of logic)
  - LS138 21 ns
  - LS139 21 ns
- Typical power dissipation
  - LS138 32 mW
  - LS139 34 mW

### Connection Diagrams



Order Number DM54LS138J,  
DM74LS138M or DM74LS138N  
See NS Package Number J16A, M16A or N16A

TL/F/6391-1



Order Number DM54LS139J,  
DM74LS139M or DM74LS139N  
See NS Package Number J16A, M16A or N16A

TL/F/6391-2

**Absolute Maximum Ratings (Note)**

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS138			DM74LS138			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			-0.4			-0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

**'LS138 Electrical Characteristics**

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max, V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54 2.5	3.4		V
			DM74 2.7	3.4		
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max, V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM54	0.25	0.4	V
			DM74	0.35	0.5	
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74	0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V			0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V			20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			-0.36	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54 -20		-100	mA
			DM74 -20		-100	
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max (Note 3)		6.3	10	mA

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I<sub>CC</sub> is measured with all outputs enabled and open.



**'LS138 Switching Characteristics**at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$  (See Section 1 for Test Waveforms and Output Load)

at V <sub>CC</sub>								
Symbol	Parameter	From (Input) To (Output)	Levels of Delay	R <sub>L</sub> = 2 kΩ				Units
				C <sub>L</sub> = 15 pF		C <sub>L</sub> = 50 pF		
				Min	Max	Min	Max	
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	Select to Output	2		18		27	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	Select to Output	2		27		40	ns
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	Select to Output	3		18		27	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	Select to Output	3		27		40	ns
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	Enable to Output	2		18		27	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	Enable to Output	2		24		40	ns
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	Enable to Output	3		18		27	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	Enable to Output	3		28		40	ns

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS139			DM74LS139			Units
		Min	Nom	Max	Min	Nom	Max	
$V_{CC}$	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$	High Level Input Voltage	2			2			V
$V_{IL}$	Low Level Input Voltage			0.7			0.8	V
$I_{OH}$	High Level Output Current			-0.4			-0.4	mA
$I_{OL}$	Low Level Output Current			4			8	mA
$T_A$	Free Air Operating Temperature	-55		125	0		70	$^\circ C$

**'LS139 Electrical Characteristics**

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Unit
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
$V_{OH}$	High Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}, V_{IL} = \text{Max}, V_{IH} = \text{Min}$	DM54 2.5 DM74 2.7	3.4		V
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}, V_{IL} = \text{Max}, V_{IH} = \text{Min}$	DM54 DM74	0.25 0.35	0.4 0.5	V
		$I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$	DM74	0.25	0.4	V
$I_I$	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7 \text{ V}$			0.1	mA
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7 \text{ V}$			20	$\mu\text{A}$
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4 \text{ V}$			-0.36	mA
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54 -20 DM74 -20		-100 -100	mA
$I_{CC}$	Supply Current	$V_{CC} = \text{Max}$ (Note 3)		6.8	11	mA

Note 1: All typicals are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ .

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3:  $I_{CC}$  is measured with all outputs enabled and open.**'LS139 Switching Characteristics**at  $V_{CC} = 5 \text{ V}$  and  $T_A = 25^\circ\text{C}$  (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	$R_L = 2\text{ k}\Omega$				Units
			$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
			Min	Max	Min	Max	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Select to Output		18		27	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Select to Output		27		40	ns
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable to Output		18		27	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable to Output		24		40	ns

**Function Tables**

LS138

Inputs					Outputs							
Enable		Select										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	L	H	H	H	H	L	L	H	H
H	L	H	L	H	H	H	H	H	H	L	L	H
H	L	H	H	L	H	H	H	H	H	H	L	L
H	L	H	H	H	H	H	H	H	H	H	L	L

\* G2 = G2A - G2B

H = High Level, L = Low Level, X = Don't Care

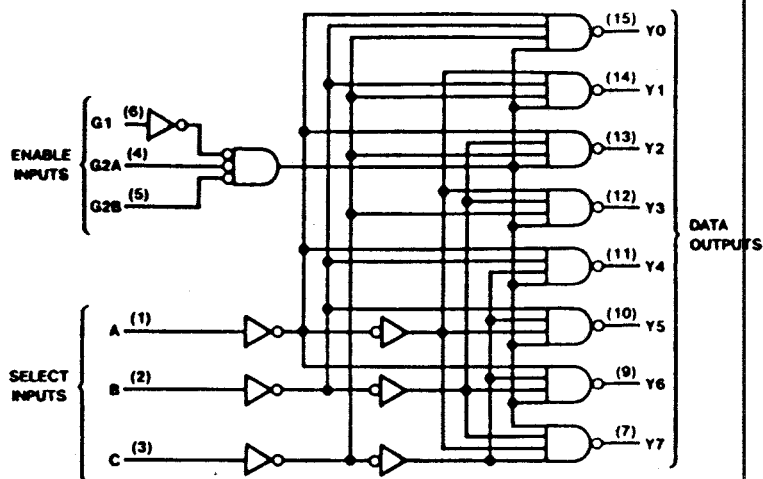
LS139

Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = High Level, L = Low Level, X = Don't Care

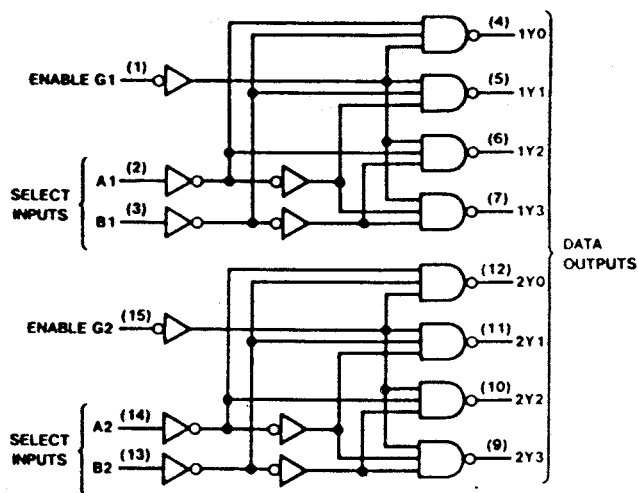
# Logic Diagrams

LS138



TL/F/6391-3

LS139



TL/F/6391-4

DM54LS138/DM74LS138/DM54LS139/DM74LS139



National  
Semiconductor  
Corporation

## DM54LS154/DM74LS154 4-Line to 16-Line Decoders/Demultiplexers

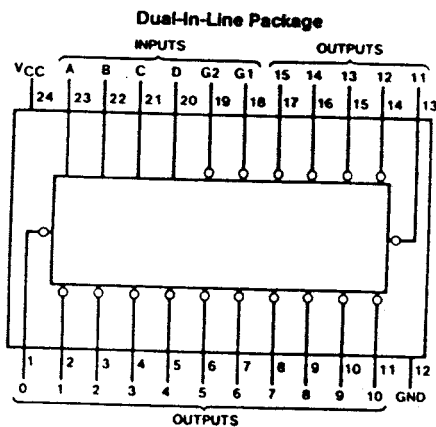
### General Description

Each of these 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive outputs when both the strobe inputs, G1 and G2, are low. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input low. When either strobe input is high, all outputs are high. These demultiplexers are ideally suited for implementing high-performance memory decoders. All inputs are buffered and input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design.

### Features

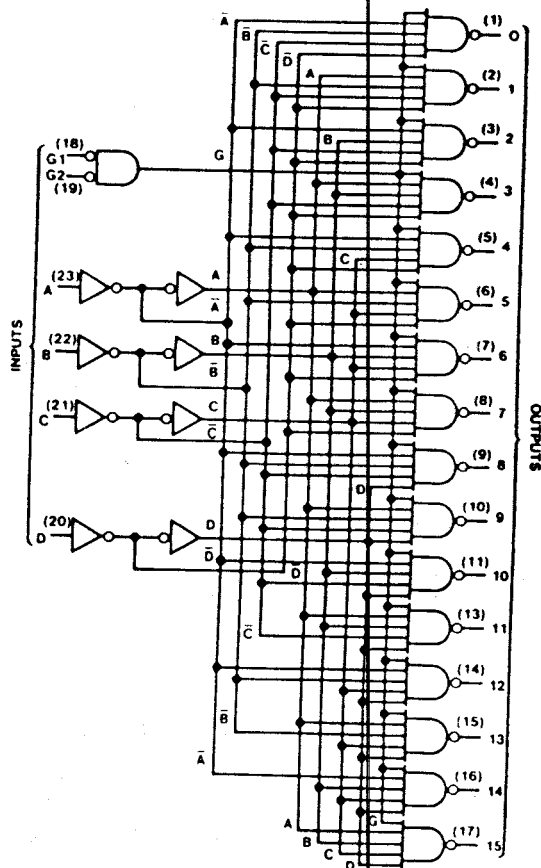
- Decodes 4 binary-coded inputs into one of 16 mutually exclusive outputs
- Performs the demultiplexing function by distributing data from one input line to any one of 16 outputs
- Input clamping diodes simplify system design
- High fan-out, low-impedance, totem-pole outputs
- Typical propagation delay  
3 levels of logic 23 ns  
Strobe 19 ns
- Typical power dissipation 45 mW

### Connection and Logic Diagrams



TL/F/6394-1

Order Number DM54LS154J,  
DM74LS154WM or DM74LS154N  
See NS Package Number J24A, M24B or N24A



TL/F/6394-2

**Absolute Maximum Ratings** (Note)

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM54LS154			DM74LS154			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			-0.4			-0.4	mA
I <sub>OL</sub>	Low Level Output Current			4			8	mA
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max	DM54	2.5	3.4	V
		V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM74	2.7	3.4	
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max	DM54		0.25	V
		V <sub>IL</sub> = Max, V <sub>IH</sub> = Min	DM74		0.35	
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min	DM74		0.25	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V			0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V			20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			-0.4	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54	-20	-100	mA
			DM74	-20	-100	
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max (Note 3)		9	14	mA

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I<sub>CC</sub> is measured with all outputs open and all inputs grounded.

**Switching Characteristics** at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R <sub>L</sub> = 2 kΩ				Units
			C <sub>L</sub> = 15 pF		C <sub>L</sub> = 50 pF		
			Min	Max	Min	Max	
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	Data to Output		30		35	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	Data to Output		30		35	ns
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	Strobe to Output		20		25	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output	Strobe to Output		25		35	ns

Function Table																		
Inputs					Outputs													
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H

H = High Level, L = Low Level, X = Don't Care



National  
Semiconductor  
Corporation

## DM5417/DM7417 Hex Buffers with High Voltage Open-Collector Outputs

### General Description

This device contains six independent gates each of which performs a buffer function. The open-collector outputs require external pull-up resistors for proper logical operation.

### Pull-Up Resistor Equations

$$R_{MAX} = \frac{V_O(\text{Min}) - V_{OH}}{N_1(I_{OH}) + N_2(I_{IH})}$$

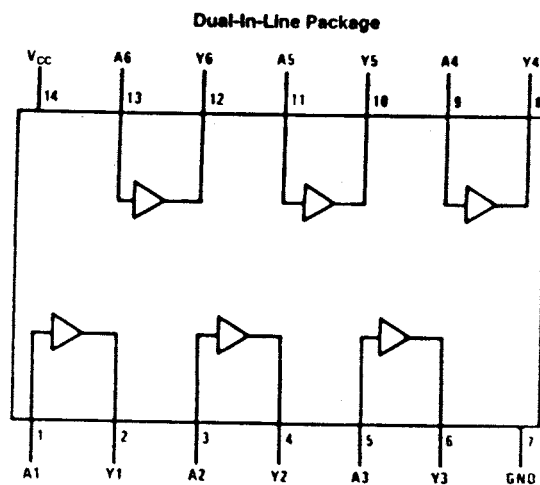
$$R_{MIN} = \frac{V_O(\text{Max}) - V_{OL}}{I_{OL} - N_3(I_{IL})}$$

Where:  $N_1(I_{OH})$  = total maximum output high current for all outputs tied to pull-up resistor

$N_2(I_{IH})$  = total maximum input high current for all inputs tied to pull-up resistor

$N_3(I_{IL})$  = total maximum input low current for all inputs tied to pull-up resistor

### Connection Diagram



Order Number DM5417J or DM7417N  
See NS Package Number J14A or N14A

TL/F/6505-1

### Function Table

$$Y = A$$

Input	Output
A	Y
L	L
H	H

H = High Logic Level  
L = Low Logic Level

DM5417/DM7417

**Absolute Maximum Ratings (Note)**

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
Input Voltage	5.5V
Output Voltage	15V

Operating Free Air Temperature Range

DM54 -55°C to +125°C

DM74 0°C to +70°C

Storage Temperature Range -65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	DM5417			DM7417			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.8			0.8	V
V <sub>OH</sub>	High Level Output Voltage			15			15	V
I <sub>OL</sub>	Low Level Output Current			30			40	mA
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

**Electrical Characteristics** over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -12 mA			-1.5	V
I <sub>CEX</sub>	High Level Output Current	V <sub>CC</sub> = Min, V <sub>O</sub> = 15V V <sub>IH</sub> = Min			250	μA
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max V <sub>IL</sub> = Max			0.7	V
		I <sub>OL</sub> = 16 mA, V <sub>CC</sub> = Min			0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 5.5V			1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.4V			40	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			-1.6	mA
I <sub>CCH</sub>	Supply Current with Outputs High	V <sub>CC</sub> = Max		29	41	mA
I <sub>CCL</sub>	Supply Current with Outputs Low	V <sub>CC</sub> = Max		21	30	mA

**Switching Characteristics** at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	Conditions	Min	Max	Units
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	C <sub>L</sub> = 15 pF R <sub>L</sub> = 110Ω		10	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output			30	ns

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.





National  
Semiconductor  
Corporation

## ADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-Bit $\mu$ P Compatible A/D Converters

### General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

### Features

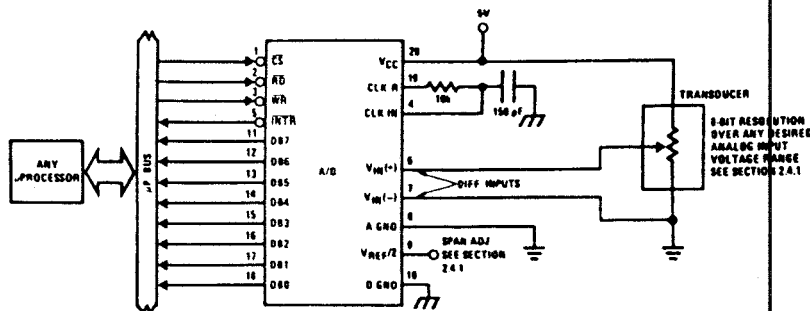
- Compatible with 8080  $\mu$ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V<sub>DC</sub> 2.5 V<sub>DC</sub> or analog span adjusted voltage reference

### Key Specifications

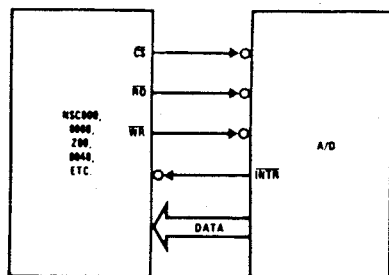
- Resolution 8 bits
- Total error  $\pm 1/4$  LSB,  $\pm 1/2$  LSB and  $\pm 1$  LSB
- Conversion time 100  $\mu$ s

### Typical Applications



TL/H/5671-1

8080 Interface



TL/H/5671-31

Error Specification (Includes Full-Scale,  
Zero Error, and Non-Linearity)

Part Number	Full-Scale Adjusted	V <sub>REF</sub> /2 = 2.500 V <sub>DC</sub> (No Adjustments)	V <sub>REF</sub> /2 = No Connection (No Adjustments)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		$\pm 1$ LSB	
ADC0805			$\pm 1$ LSB

# Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ( $V_{CC}$ ) (Note 3)	6.5V
Voltage	
Logic Control Inputs	-0.3V to +18V
At Other Input and Outputs	-0.3V to ( $V_{CC}$ + 0.3V)
Lead Temp. (Soldering, 10 seconds)	260°C
Dual-In-Line Package (plastic)	300°C
Dual-In-Line Package (ceramic)	
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A = 25^\circ\text{C}$	875 mW
ESD Susceptibility (Note 10)	800V

# Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0801/02LJ	-55°C $\leq T_A \leq$ +125°C
ADC0801/02/03/04LCJ	-40°C $\leq T_A \leq$ +85°C
ADC0801/02/03/05LCN	-40°C $\leq T_A \leq$ +85°C
ADC0804LCN	0°C $\leq T_A \leq$ +70°C
ADC0802/03/04LCV	0°C $\leq T_A \leq$ +70°C
ADC0802/03/04LCWM	0°C $\leq T_A \leq$ +70°C
Range of $V_{CC}$	4.5 $V_{DC}$ to 6.3 $V_{DC}$

# Electrical Characteristics

The following specifications apply for  $V_{CC} = 5 V_{DC}$ ,  $T_{MIN} \leq T_A \leq T_{MAX}$  and  $f_{CLK} = 640 \text{ kHz}$  unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/4$	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			$\pm 1/2$	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/2$	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			$\pm 1$	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$ -No Connection			$\pm 1$	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		k $\Omega$ k $\Omega$
Analog Input Voltage Range	(Note 4) $V(+)$ or $V(-)$	Gnd-0.05		$V_{CC} + 0.05$	$V_{DC}$
DC Common-Mode Error	Over Analog Input Voltage Range		$\pm 1/16$	$\pm 1/4$	LSB
Power Supply Sensitivity	$V_{CC} = 5 V_{DC} \pm 10\%$ Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		$\pm 1/16$	$\pm 1/4$	LSB

# AC Electrical Characteristics

The following specifications apply for  $V_{CC} = 5 V_{DC}$  and  $T_A = 25^\circ\text{C}$  unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$T_C$	Conversion Time	$f_{CLK} = 640 \text{ kHz}$ (Note 6)	103		114	$\mu\text{s}$
$T_C$	Conversion Time	(Note 5, 6)	66		73	1/ $f_{CLK}$
$f_{CLK}$	Clock Frequency Clock Duty Cycle	$V_{CC} = 5V$ , (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	INTR tied to WR with $CS = 0 V_{DC}$ , $f_{CLK} = 640 \text{ kHz}$	8770		9708	conv/s
$t_{w(WR)L}$	Width of WR Input (Start Pulse Width)	$CS = 0 V_{DC}$ (Note 7)	100			ns
$t_{ACC}$	Access Time (Delay from Falling Edge of RD to Output Data Valid)	$C_L = 100 \text{ pF}$		135	200	ns
$t_{1H}$ , $t_{0H}$	TRI-STATE Control (Delay from Rising Edge of RD to Hi-Z State)	$C_L = 10 \text{ pF}$ , $R_L = 10k$ (See TRI-STATE Test Circuits)		125	200	ns
$t_{wI}$ , $t_{rI}$	Delay from Falling Edge of WR or RD to Reset of INTR			300	450	ns
$C_{IN}$	Input Capacitance of Logic Control Inputs			5	7.5	pF
$C_{OUT}$	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

**CONTROL INPUTS** (Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately)

$V_{IN}(1)$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 5.25 V_{DC}$	2.0	15	$V_{DC}$
-------------	---	------------------------	-----	----	----------

**AC Electrical Characteristics (Continued)**The following specifications apply for  $V_{CC} = 5V_{DC}$  and  $T_{MIN} \leq T_A \leq T_{MAX}$ , unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>CONTROL INPUTS</b> [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN}(0)$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75 V_{DC}$			0.8	$V_{DC}$
$I_{IN}(1)$	Logical "1" Input Current (All Inputs)	$V_{IN} = 5 V_{DC}$		0.005	1	$\mu A_{DC}$
$I_{IN}(0)$	Logical "0" Input Current (All Inputs)	$V_{IN} = 0 V_{DC}$	-1	-0.005		$\mu A_{DC}$
<b>CLOCK IN AND CLOCK R</b>						
$V_{T+}$	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	$V_{DC}$
$V_{T-}$	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	$V_{DC}$
$V_H$	CLK IN (Pin 4) Hysteresis ( $V_{T+} - V_{T-}$ )		0.6	1.3	2.0	$V_{DC}$
$V_{OUT}(0)$	Logical "0" CLK R Output Voltage	$I_O = 360 \mu A$ $V_{CC} = 4.75 V_{DC}$			0.4	$V_{DC}$
$V_{OUT}(1)$	Logical "1" CLK R Output Voltage	$I_O = -360 \mu A$ $V_{CC} = 4.75 V_{DC}$	2.4			$V_{DC}$
<b>DATA OUTPUTS AND INTR</b>						
$V_{OUT}(0)$	Logical "0" Output Voltage Data Outputs INTR Output	$I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC}$ $I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}$			0.4 0.4	$V_{DC}$ $V_{DC}$
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O = -360 \mu A, V_{CC} = 4.75 V_{DC}$	2.4			$V_{DC}$
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O = -10 \mu A, V_{CC} = 4.75 V_{DC}$	4.5			$V_{DC}$
$I_{OUT}$	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0 V_{DC}$ $V_{OUT} = 5 V_{DC}$	-3		3	$\mu A_{DC}$ $\mu A_{DC}$
$I_{SOURCE}$		$V_{OUT}$ Short to Gnd, $T_A = 25^\circ C$	4.5	6		$mA_{DC}$
$I_{SINK}$		$V_{OUT}$ Short to $V_{CC}$ , $T_A = 25^\circ C$	9.0	16		$mA_{DC}$
<b>POWER SUPPLY</b>						
$I_{CC}$	Supply Current (Includes Ladder Current)  ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	$f_{CLK} = 640 kHz$ , $V_{REF}/2 = NC$ , $T_A = 25^\circ C$ and $CS = 5V$		1.1 1.9	1.8 2.5	$mA$ $mA$

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from  $V_{CC}$  to Gnd and has a typical breakdown voltage of 7  $V_{DC}$ .

Note 4: For  $V_{IN}(-) \geq V_{IN}(+)$  the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the  $V_{CC}$  supply. Be careful, during testing at low  $V_{CC}$  levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog  $V_{IN}$  does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0  $V_{DC}$  to 5  $V_{DC}$  input voltage range will therefore require a minimum supply voltage of 4.950  $V_{DC}$  over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at  $f_{CLK} = 640 kHz$ . At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 2 and section 2.0.

Note 7: The  $CS$  input is assumed to bracket the  $WR$  strobe input and therefore timing is dependent on the  $WR$  pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the  $WR$  pulse (see timing diagrams).

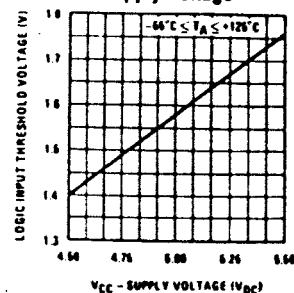
Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 5.

Note 9: The  $V_{REF}/2$  pin is the center point of a two resistor divider connected from  $V_{CC}$  to ground. Each resistor is 2.2k, except for the ADC0804LCJ where each resistor is 16k. Total ladder input resistance is the sum of the two equal resistors.

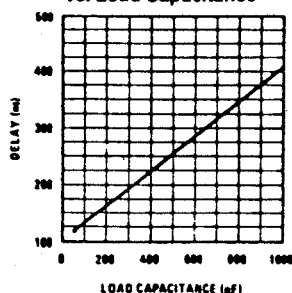
Note 10: Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

# Typical Performance Characteristics

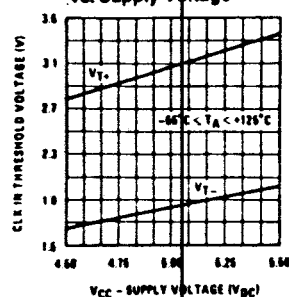
Logic Input Threshold Voltage vs. Supply Voltage



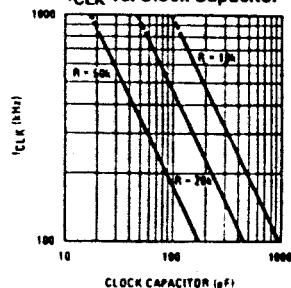
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



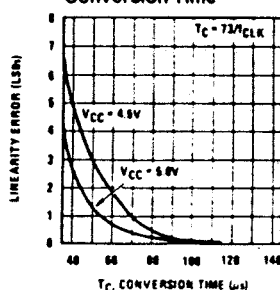
CLK IN Schmitt Trip Levels vs. Supply Voltage



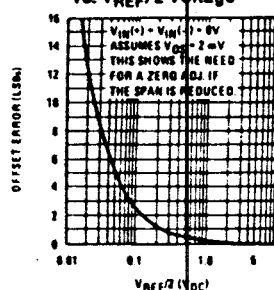
fCLK vs. Clock Capacitor



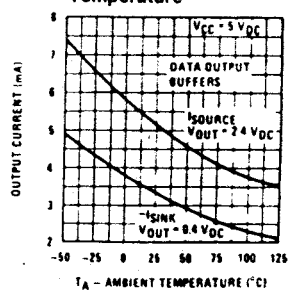
Full-Scale Error vs Conversion Time



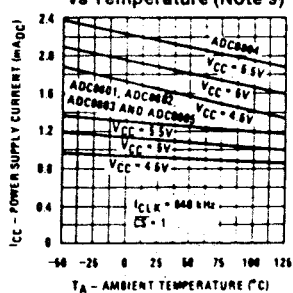
Effect of Unadjusted Offset Error vs. VREF/2 Voltage



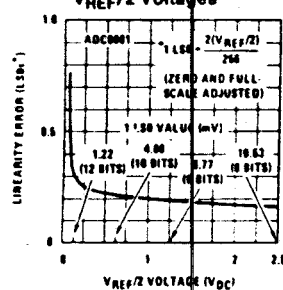
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)

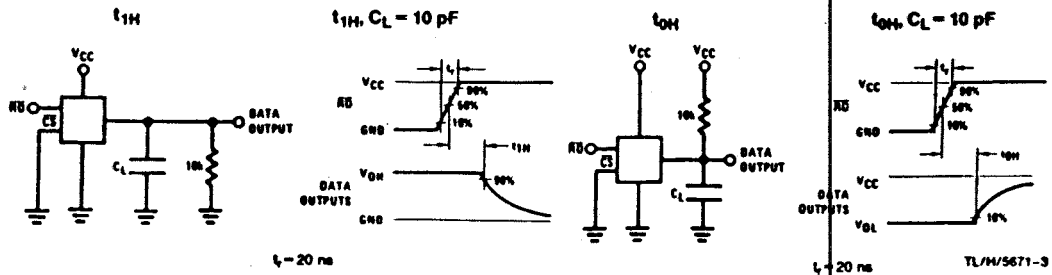


Linearity Error at Low VREF/2 Voltages

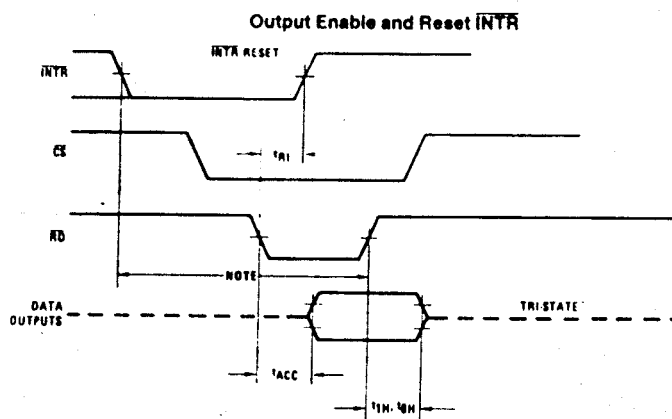
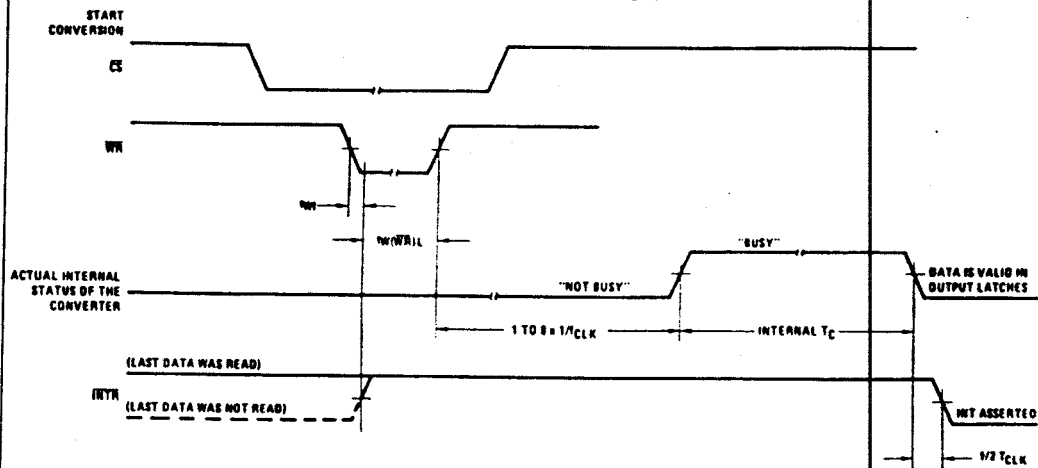


TL/H/5671-2

# TRI-STATE Test Circuits and Waveforms



## Timing Diagrams (All timing is measured from the 50% voltage points)

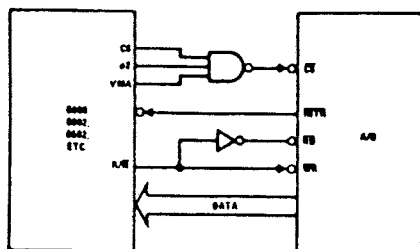


Note: Read strobe must occur 8 clock periods ( $8/t_{CLK}$ ) after assertion of interrupt to guarantee reset of INTR.

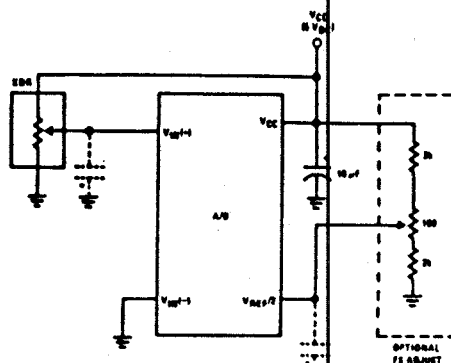
TL/M/5671-4

# Typical Applications (Continued)

6800 Interface

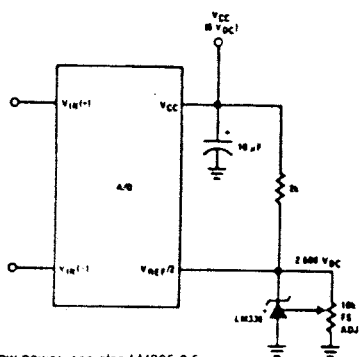


Ratiometric with Full-Scale Adjust



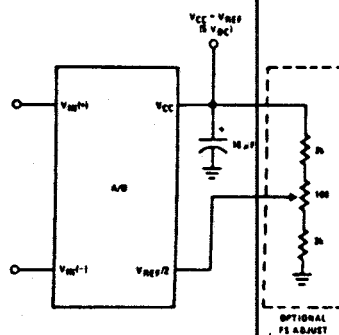
Note: before using caps at V<sub>IN</sub> or V<sub>REF</sub>/2, see section 2.3.2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

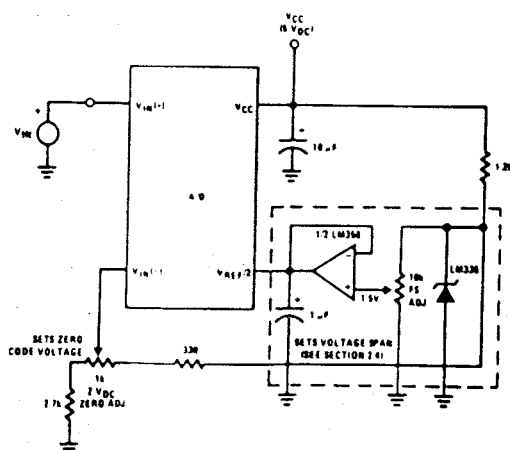


\*For low power, see also LM385-2.5

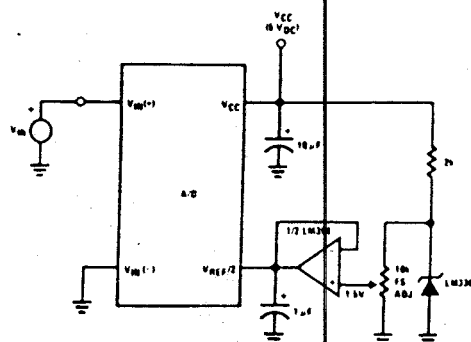
Absolute with a 5V Reference



Zero-Shift and Span Adjust:  $2V \leq V_{IN} \leq 5V$



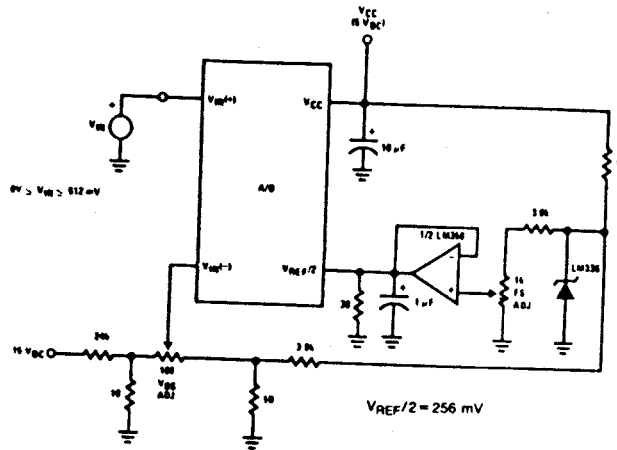
Span Adjust:  $0V \leq V_{IN} \leq 3V$



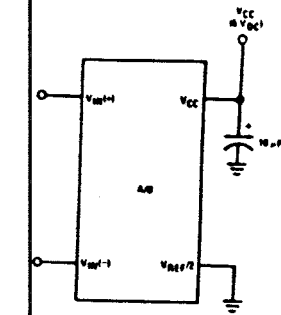
TL/H/5671-5

## Typical Applications (Continued)

### Directly Converting a Low-Level Signal



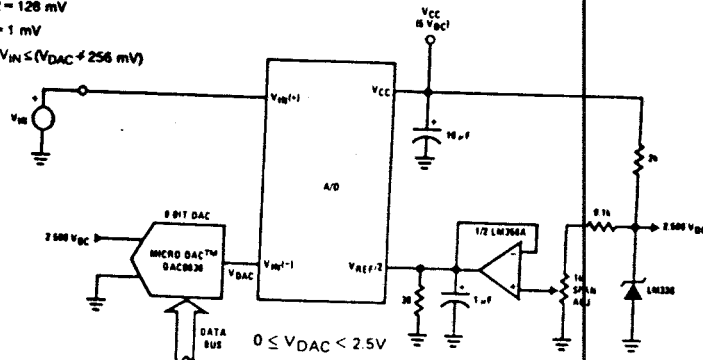
### A $\mu\text{P}$ Interfaced Comparator



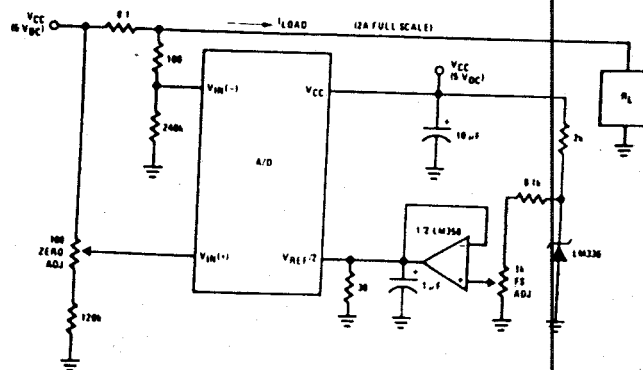
For:  $V_{IN}(+) > V_{IN}(-)$   
Output = FF<sub>HEX</sub>  
For:  $V_{IN}(+) < V_{IN}(-)$   
Output = 00<sub>HEX</sub>

### 1 mV Resolution with $\mu\text{P}$ Controlled Range

$V_{REF}/2 = 128 \text{ mV}$   
1 LSB = 1 mV  
 $V_{DAC} \leq V_{IN} \leq (V_{DAC} + 256 \text{ mV})$



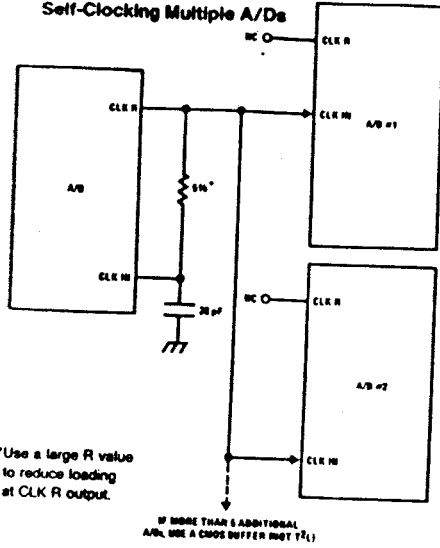
### Digitizing a Current Flow



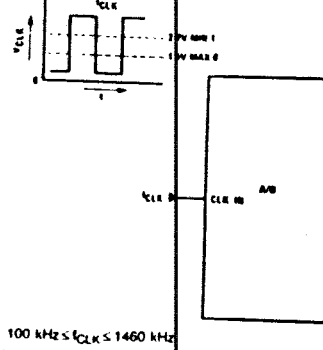
TL/H/5671-6

## Typical Applications (Continued)

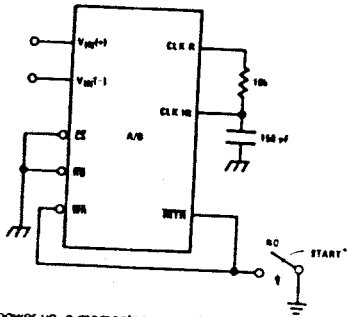
### Self-Clocking Multiple A/Ds



### External Clocking

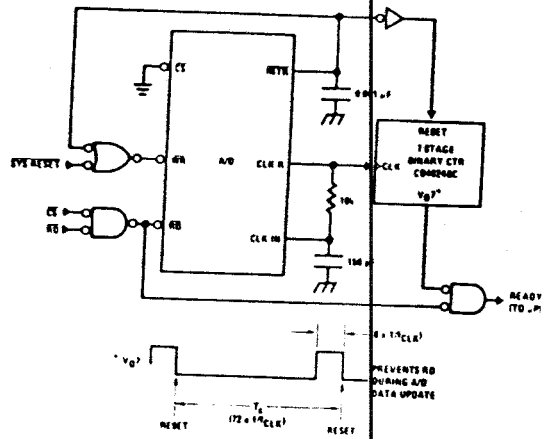


### Self-Clocking in Free-Running Mode

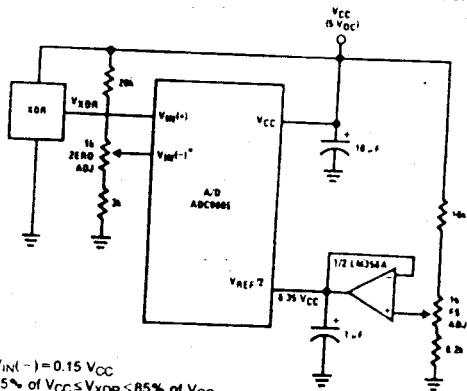


\*After power-up, a momentary grounding of the WR input is needed to guarantee operation

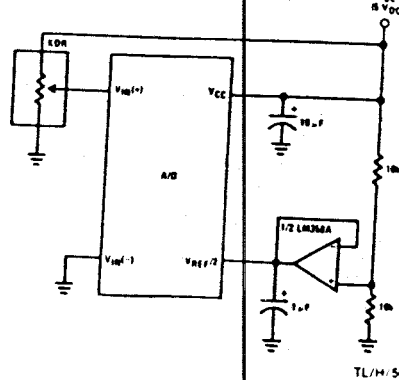
### μP Interface for Free-Running A/D



### Operating with "Automotive" Ratiometric Transducers



### Ratiometric with $V_{REF}/2$ Forced

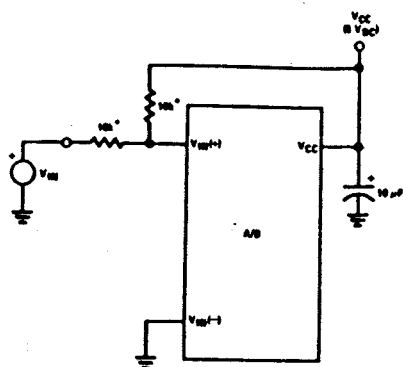




TL/H/5671-8

# Typical Applications (Continued)

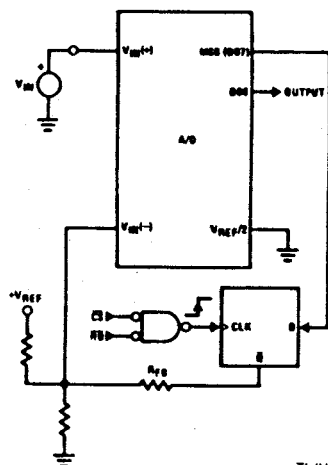
## Handling $\pm 5V$ Analog Inputs



TL/H/5671-33

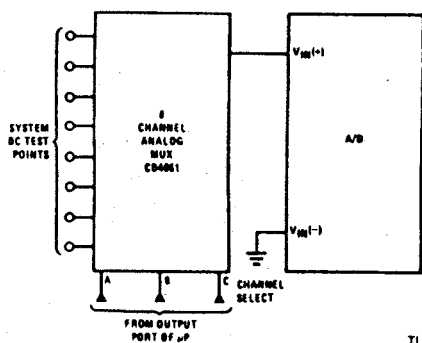
\*Beckman Instruments #604-3-R10K resistor array

## $\mu P$ Interfaced Comparator with Hysteresis



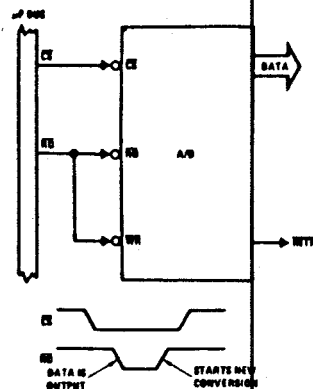
TL/H/5671-35

## Analog Self-Test for a System



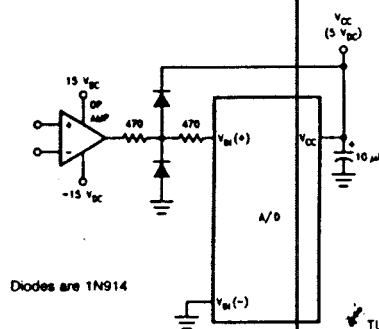
TL/H/5671-36

## Read-Only Interface



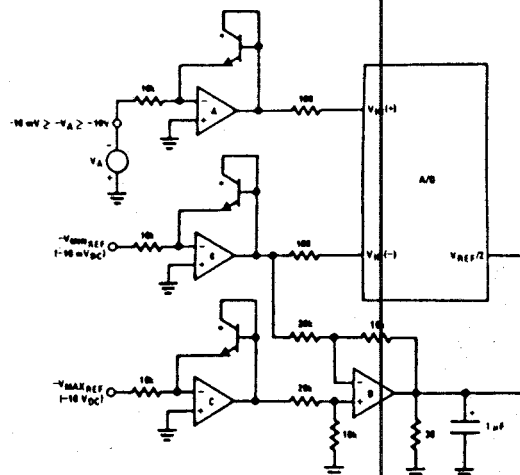
TL/H/5671-34

## Protecting the Input



TL/H/5671-9

## A Low-Cost, 3-Decade Logarithmic Converter



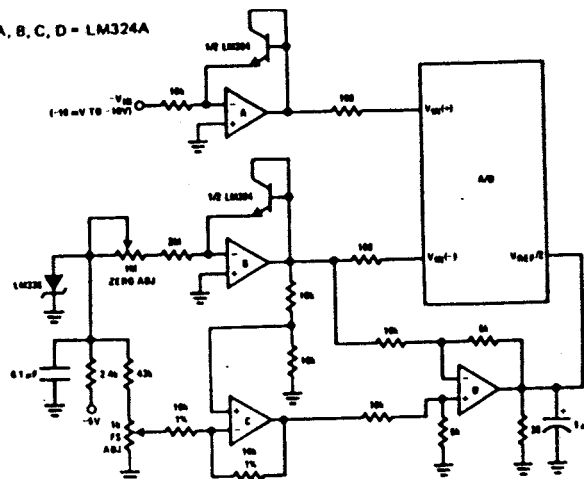
TL/H/5671-37

\*LM389 transistors

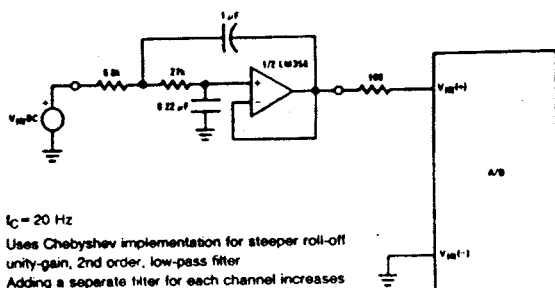
A, B, C, D = LM324A quad op amp

### 3-Decade Logarithmic A/D Converter

A, B, C, D - LM324A

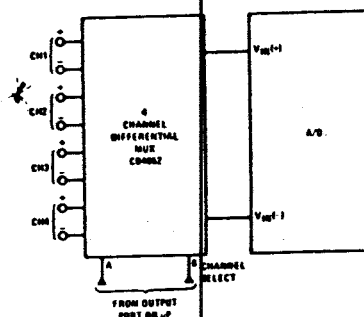


## Noise Filtering the Analog Input

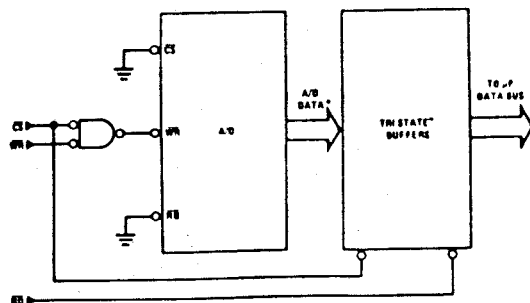
 $\epsilon = 20 \text{ Hz}$ 

Uses Chebyshev implementation for steeper roll-off  
unity-gain, 2nd order, low-pass filter  
Adding a separate filter for each channel increases  
system response time if an analog multiplexer  
is used

### Multiplexing Differential Inputs

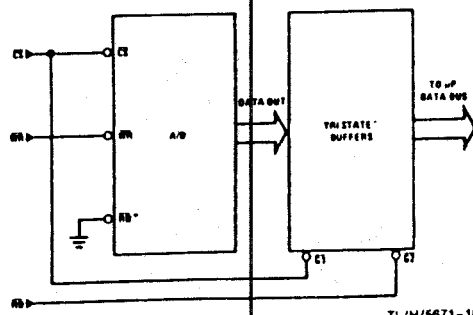


### Output Buffers with A/D Data Enabled



\* A/D output data is updated 1 CLK period prior to assertion of  $\overline{\text{INTR}}$

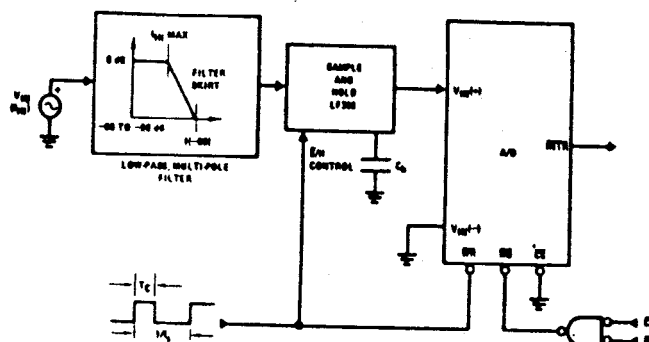
### Increasing Bus Drive and/or Reducing Time on Bus



\*Allows output data to set-up at falling edge of CS

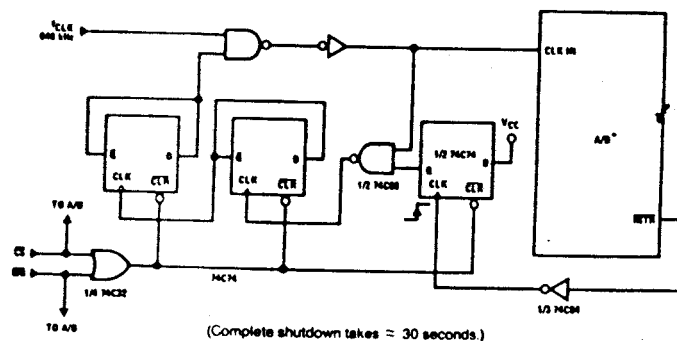
# Typical Applications (Continued)

## Sampling an AC Input Signal

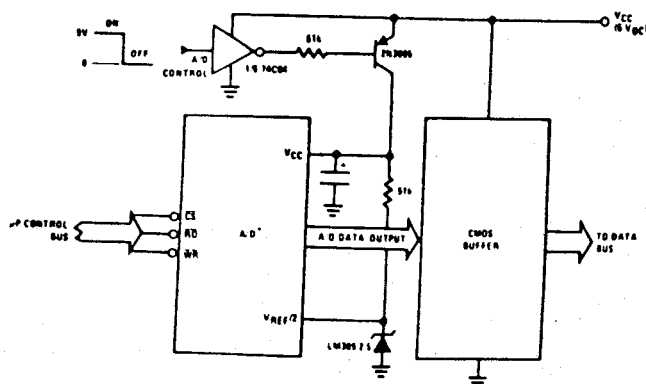


Note 1: Oversample whenever possible (keep  $f_s > 2(f - 60)$ ) to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.  
 Note 2: Consider the amplitude errors which are introduced within the passband of the filter.

## 70% Power Savings by Clock Gating



## Power Savings by A/D and VREF Shutdown



\*Use ADC0801, 02, 03 or 05 for lowest power consumption.  
 Note: Logic inputs can be driven to  $V_{CC}$  with A/D supply at zero volts.  
 Buffer prevents data bus from overdriving output of A/D when in shutdown mode

TL/H/5671-11

## Functional Description

### 1.0 UNDERSTANDING A/D ERROR SPECS

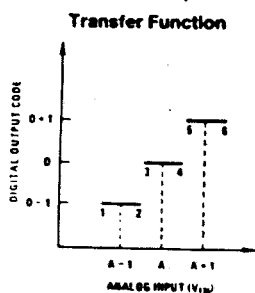
A perfect A/D transfer characteristic (staircase waveform) is shown in Figure 1a. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the  $V_{REF}/2$  pin). The digital output codes that correspond to these inputs are shown as  $D-1$ ,  $D$ , and  $D+1$ . For the perfect A/D, not only will center-value ( $A-1$ ,  $A$ ,  $A+1$ , ...) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located  $\pm 1/2$  LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend  $\pm 1/2$  LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

Figure 1b shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than  $\pm 1/4$  LSB. In

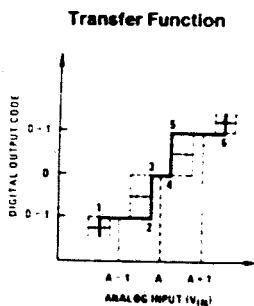
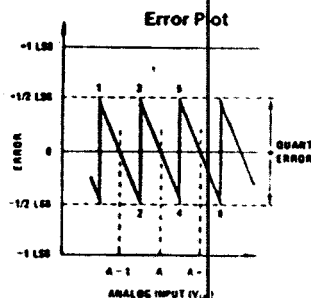
other words, if we apply an analog input equal to the center-value  $\pm 1/4$  LSB, we guarantee that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than  $1/2$  LSB.

The error curve of Figure 1c shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

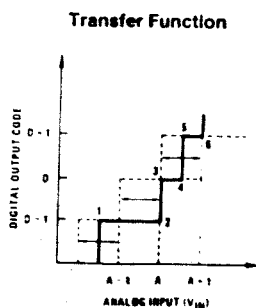
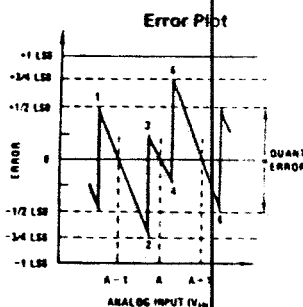
Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of Figure 1a is  $+1/2$  LSB because the digital code appeared  $1/2$  LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.



a) Accuracy =  $\pm 0$  LSB: A Perfect A/D



b) Accuracy =  $\pm 1/4$  LSB



c) Accuracy =  $\pm 1/2$  LSB

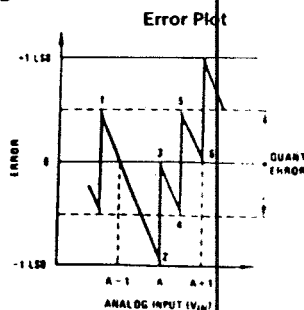


FIGURE 1. Clarifying the Error Specs of an A/D Converter

TLW/5671-12

## Functional Description (Continued)

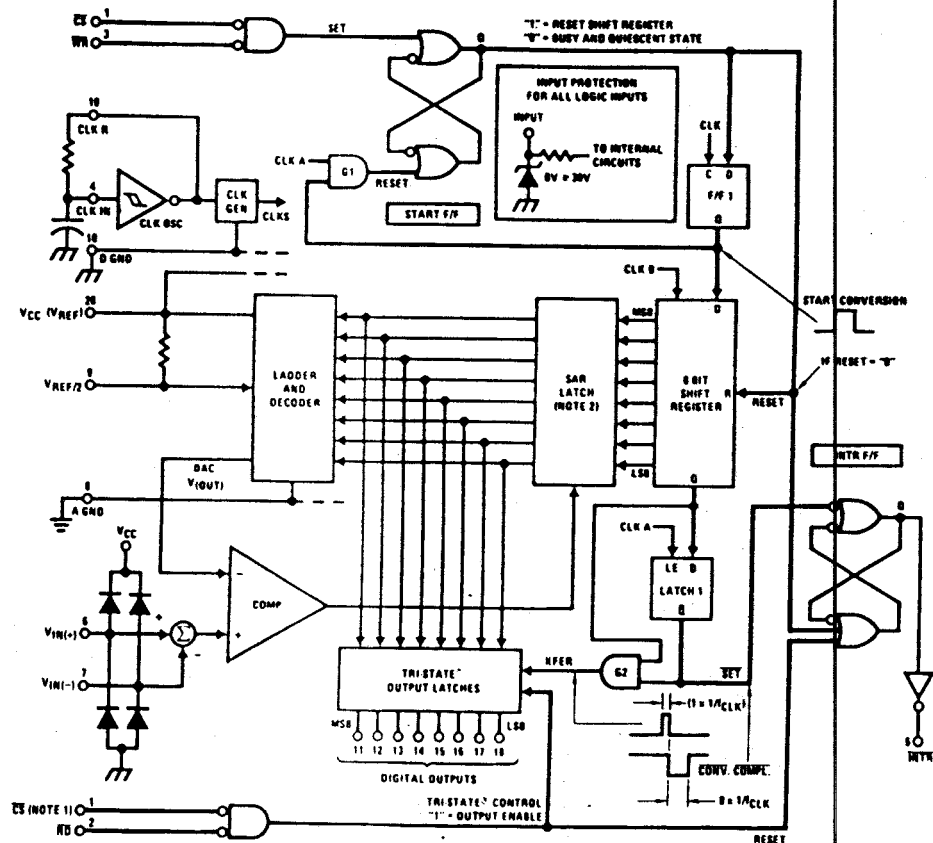
### 2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage  $[V_{IN}(+) - V_{IN}(-)]$  to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted (INTR makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting INTR to the WR input with CS = 0. To ensure start-up under all possible conditions, an external WR pulse is required during the first power-up cycle.

On the high-to-low transition of the WR input the internal SAR latches and the shift register stages are reset. As long as the CS input and WR input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.

A functional diagram of the A/D converter is shown in Figure 2. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having CS and WR simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the interrupt (INTR) F/F and inputs a "1" to the D flop, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either WR or CS is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide CS and WR signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



Note 1: CS shown twice for clarity.

Note 2: SAR = Successive Approximation Register.

FIGURE 2. Block Diagram

## Functional Description (Continued)

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the INTR input signal.

Note that this SET control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at  $\frac{1}{2}$  of the frequency of the external clock). If the data output is continuously enabled ( $\overline{CS}$  and  $\overline{RD}$  both held low), the INTR output will still signal the end of conversion (by a high-to-low transition), because the SET input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This INTR output will therefore stay low for the duration of the SET signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode (INTR pin tied to  $\overline{WR}$  and  $\overline{CS}$  wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the INTR signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the  $\overline{Q}$  output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting INTR output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both  $\overline{CS}$  and  $\overline{RD}$  being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

### 2.1 Digital Control Inputs

The digital control inputs ( $\overline{CS}$ ,  $\overline{RD}$ , and  $\overline{WR}$ ) meet standard T2L logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the  $\overline{CS}$  input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the  $\overline{WR}$  input (pin 3) and the Output Enable function is caused by an active low pulse at the  $\overline{RD}$  input (pin 2).

### 2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The  $V_{IN}(-)$  input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input. The time interval between sampling  $V_{IN}(+)$  and  $V_{IN}(-)$  is  $4\frac{1}{2}$  clock periods. The maximum error voltage due to this

slight time difference between the input voltage samples is given by:

$$\Delta V_e(\text{MAX}) = (V_p) (2\pi f_{cm}) \left( \frac{4.5}{f_{CLK}} \right),$$

where:

$\Delta V_e$  is the error voltage due to sampling delay

$V_p$  is the peak value of the common-mode voltage

$f_{cm}$  is the common-mode frequency

As an example, to keep this error to  $\frac{1}{4}$  LSB ( $\sim 5$  mV) when operating with a 60 Hz common-mode frequency,  $f_{cm}$ , and using a 640 kHz A/D clock,  $f_{CLK}$ , would allow a peak value of the common-mode voltage,  $V_p$ , which is given by:

$$V_p = \frac{[\Delta V_e(\text{MAX})] (f_{CLK})}{(2\pi f_{cm}) (4.5)}$$

or

$$V_p = \frac{(5 \times 10^{-3}) (640 \times 10^3)}{(6.28) (60) (4.5)}$$

which gives

$$V_p \approx 1.9 \text{ V.}$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

## 2.3 Analog Inputs

### 2.3.1 Input Current

#### Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 3.

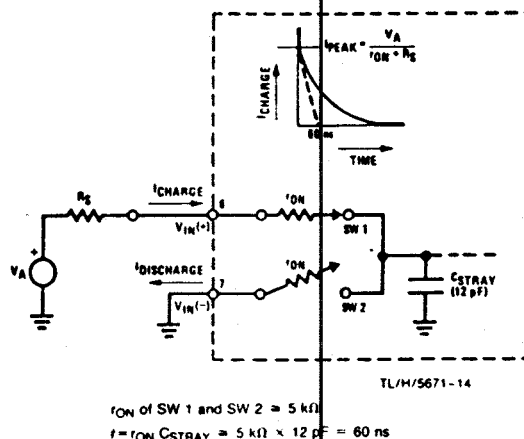


FIGURE 3. Analog Input Impedance

## Functional Description (Continued)

The voltage on this capacitance is switched and will result in currents entering the  $V_{IN}(+)$  input pin and leaving the  $V_{IN}(-)$  input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and do not cause errors as the on-chip comparator is strobed at the end of the clock period.

### Fault Mode

If the voltage source applied to the  $V_{IN}(+)$  or  $V_{IN}(-)$  pin exceeds the allowed operating range of  $V_{CC} + 50$  mV, large input currents can flow through a parasitic diode to the  $V_{CC}$  pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the  $V_{CC}$  pin (with the current bypassed with this diode, the voltage at the  $V_{IN}(+)$  pin can exceed the  $V_{CC}$  voltage by the forward voltage of this diode).

### 2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the  $V_{IN}(+)$  input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the  $V_{IN}(+)$  input at 5V, this DC current is at a maximum of approximately 5  $\mu$ A. Therefore, bypass capacitors should not be used at the analog inputs or the  $V_{REF}/2$  pin for high resistance sources ( $> 1$  k $\Omega$ ). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

### 2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, will not cause errors as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor ( $\leq 1$  k $\Omega$ ) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, ( $\leq 1$  k $\Omega$ ), a 0.1  $\mu$ F bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A 100 $\Omega$  series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

### 2.3.4 Noise

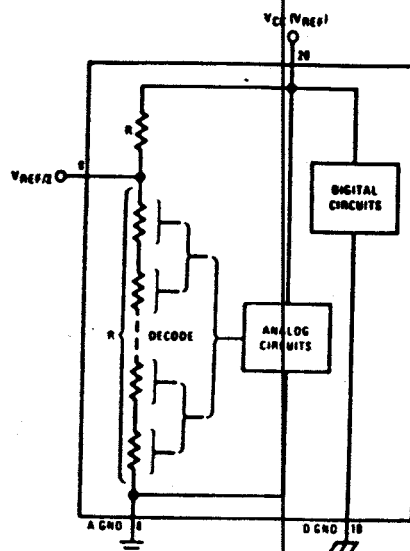
The leads to the analog inputs (pin 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 k $\Omega$ . Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source

resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust  $V_{REF}/2$  for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

## 2.4 Reference Voltage

### 2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a 5  $V_{DC}$ , 2.5  $V_{DC}$  or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 4.



TL/H/5671-15

FIGURE 4. The  $V_{REFERENCE}$  Design on the IC

Notice that the reference voltage for the IC is either  $1/2$  of the voltage applied to the  $V_{CC}$  supply pin, or is equal to the voltage that is externally forced at the  $V_{REF}/2$  pin. This allows for a ratiometric voltage reference using the  $V_{CC}$  supply, a 5  $V_{DC}$  reference voltage can be used for the  $V_{CC}$  supply or a voltage less than 2.5  $V_{DC}$  can be applied to the  $V_{REF}/2$  input for increased application flexibility. The internal gain to the  $V_{REF}/2$  input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5  $V_{DC}$  to 3.5  $V_{DC}$ , instead of 0V to 5  $V_{DC}$ , the span would be 3V as shown in Figure 5. With 0.5  $V_{DC}$  applied to the  $V_{IN}(-)$  pin to absorb the offset, the reference voltage can be made equal to  $1/2$  of the 3V span or 1.5  $V_{DC}$ . The A/D now will encode the  $V_{IN}(+)$  signal from 0.5V to 3.5 V with the 0.5V input corresponding to zero and the 3.5  $V_{DC}$  input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.



## Functional Description (Continued)

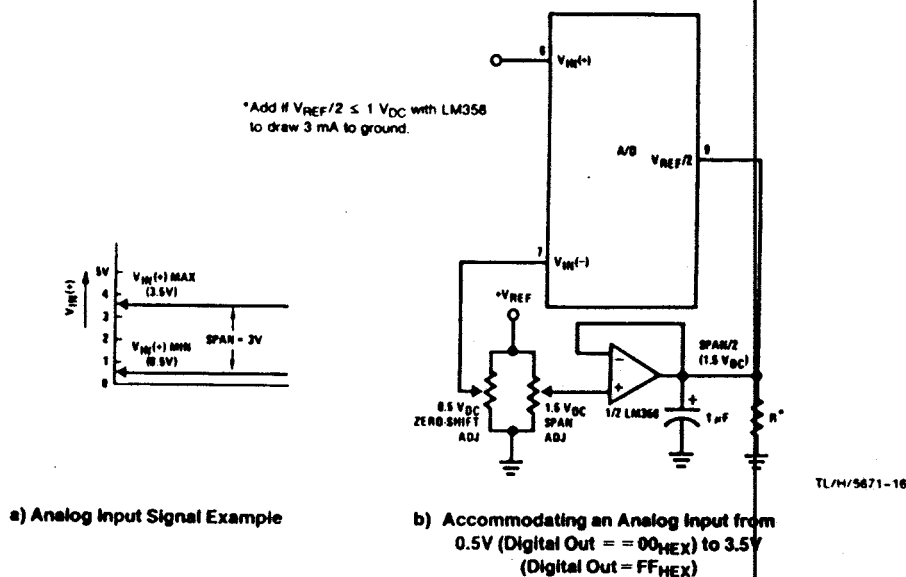


FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

## 2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For  $V_{REF}/2$  voltages of 2.4  $V_{DC}$  nominal value, initial errors of  $\pm 10$  mV $_{DC}$  will cause conversion errors of  $\pm 1$  LSB due to the gain of 2 of the  $V_{REF}/2$  input. In reduced span applications, the initial value and the stability of the  $V_{REF}/2$  input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the  $V_{REF}/2$  input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over  $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$ . Other temperature range parts are also available.

## 2.5 Errors and Reference Voltage Adjustments

## 2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value,  $V_{IN(MIN)}$ , is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D  $V_{IN(-)}$  input at this  $V_{IN(MIN)}$  value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the  $V_{IN(-)}$  input and applying a small magnitude positive voltage to the  $V_{IN(+)}$  input. Zero error is the difference between the actual  $V_{IN(+)}$  input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal  $1/2$  LSB value ( $1/2$  LSB = 9.8 mV for  $V_{REF}/2 = 2.500 V_{DC}$ ).

## 2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is  $1/2$  LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the  $V_{REF}/2$  input (pin 9 or the  $V_{CC}$  supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

## Functional Description (Continued)

### 2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A  $V_{IN}(+)$  voltage that equals this desired zero reference plus  $\frac{1}{2}$  LSB (where the LSB is calculated for the desired analog span,  $1 \text{ LSB} = \text{analog span}/256$ ) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00<sub>HEX</sub> to 01<sub>HEX</sub> code transition.

The full-scale adjustment should then be made (with the proper  $V_{IN}(-)$  voltage applied) by forcing a voltage to the  $V_{IN}(+)$  input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{MAX} - 1.5 \left[ \frac{(V_{MAX} - V_{MIN})}{256} \right]$$

where:

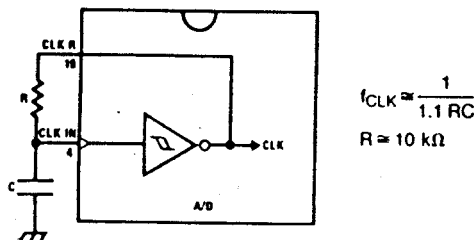
$V_{MAX}$  = The high end of the analog input range and

$V_{MIN}$  = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The  $V_{REF}/2$  (or  $V_{CC}$ ) voltage is then adjusted to provide a code change from FE<sub>HEX</sub> to FF<sub>HEX</sub>. This completes the adjustment procedure.

### 2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 6.



TL/H/5671-17

FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

### 2.7 Restart During a Conversion

If the A/D is restarted ( $\overline{CS}$  and  $\overline{WR}$  go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the

conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The INTR output simply remains at the "1" level.

### 2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the  $\overline{CS}$  input is grounded and the  $\overline{WR}$  input is tied to the INTR output. This  $\overline{WR}$  and INTR node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

### 2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

### 2.10 Power Supplies

Noise spikes on the  $V_{CC}$  supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter  $V_{CC}$  pin and values of  $1 \mu\text{F}$  or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the  $V_{CC}$  supply.

### 2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup; therefore shielded leads may be necessary in many applications.

## Functional Description (Continued)

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any  $V_{REF}/2$  bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of  $\frac{1}{4}$  LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

### 3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 7.

For ease of testing, the  $V_{REF}/2$  (pin 9) should be supplied with 2.560 VDC and a  $V_{CC}$  supply voltage of 5.12 VDC should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of 5.090 VDC ( $5.120 - \frac{1}{2}$  LSB) should be applied to the  $V_{IN}(+)$  pin with the  $V_{IN}(-)$  pin grounded. The value of the  $V_{REF}/2$  input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of  $V_{REF}/2$  should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table I shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table I, the nominal value of the digital display (when

$V_{REF}/2 = 2.560V$ ) can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are  $3.520 + 0.120$  or 3.640 VDC. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in Figure 8. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage, "A-C", directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis). The construction details of a tester of this type are provided in the NSC application note AN-179, "Analog-to-Digital Converter Testing".

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of Figure 9, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides  $\frac{1}{4}$  LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

### 4.0 MICROPROCESSOR INTERFACING

To discuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

#### 4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for  $\overline{CS}$  and the  $\overline{MEMR}$  and  $\overline{MEMW}$  strobes) or it can be controlled as an I/O device by using the  $\overline{IOR}$  and  $\overline{IOW}$  strobes and decoding the address bits  $A0 \rightarrow A7$  (or address bits  $A8 \rightarrow A15$  as they will contain the same 8-bit address information) to obtain the  $\overline{CS}$  input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in Figure 10.

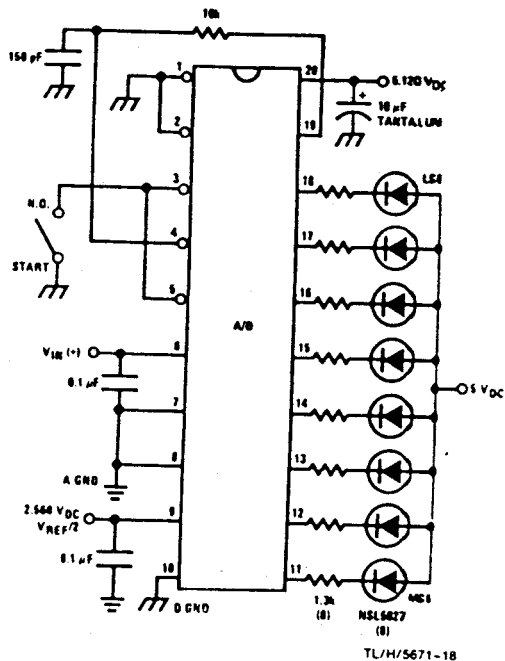


FIGURE 7. Basic A/D Tester

# Functional Description (Continued)

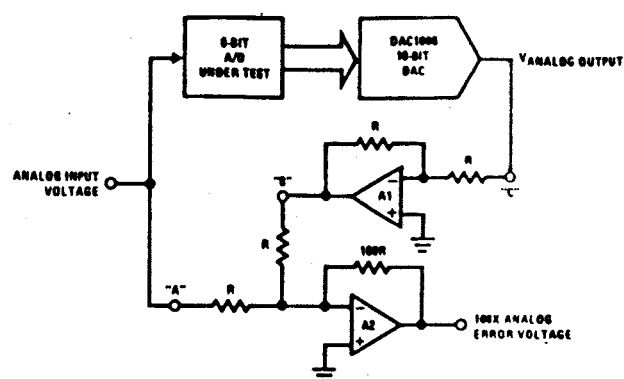


FIGURE 8. A/D Tester with Analog Error Output

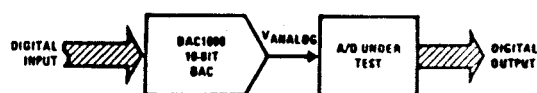


FIGURE 9. Basic "Digital" A/D Tester

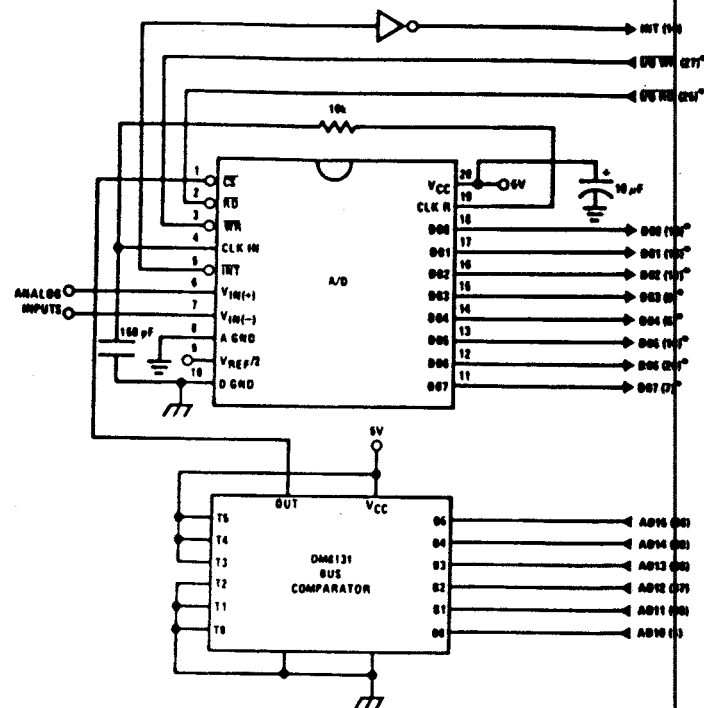
TL/M/5671-19

TABLE I. DECODING THE DIGITAL OUTPUT LED<sub>s</sub>

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF/2} = 2.560 V_{DC}$	
		MS GROUP	LS GROUP	VMS GROUP*	VLS GROUP*
F	1 1 1 1	15/16	15/256	4.800	0.300
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.260
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2.880	0.180
8	1 0 0 0	1/2	1/32	2.560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	5/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1.280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

\*Display Output = VMS Group + VLS Group

## Functional Description (Continued)



Note 1: \*Pin numbers for the DP8228 system controller, others are INS8080A.

Note 2: Pin 23 of the INS8228 must be tied to +12V through a 1 kΩ resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 10. ADC0801-INS8080A CPU interface

TL/W5671-20

## SAMPLE PROGRAM FOR FIGURE 10 ADC0801-INS8080A CPU INTERFACE

```

0038  C3 00 03  RST 7:      JMP    LD DATA
      .
      .
0100  21 00 02  START:      LXI H 0200H      ; HL pair will point to
      .                      ; data storage locations
0103  31 00 04  RETURN:     LXI SP 0400H     ; Initialize stack pointer (Note 1)
0106  7D                MOV A, L            ; Test # of bytes entered
0107  FE 0F                CPI 0FH          ; If # = 16. JMP to
0109  CA 13 01            JZ CONT           ; user program
010C  D3 E0                OUT E0 H         ; Start A/D
010E  FB                EI                ; Enable interrupt
010F  00                LOOP:             NOP
0110  C3 0F 01            JMP LOOP          ; Loop until end of
0113  .                  .                ; conversion
      .
      .      (User program to
      .      process data)
      .
0300  DB E0      LD DATA:  IN E0 H         ; Load data into accumulator
0302  77                MOV M, A          ; Store data
0303  23                INX H             ; Increment storage pointer
0304  C3 03 01            JMP RETURN

```

Note 1: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.

Note 2: All address used were arbitrarily chosen.

## Functional Description (Continued)

The standard control bus signals of the 8080 CS, RD and WR) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

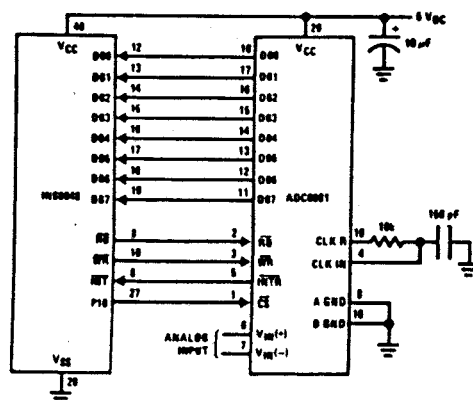
### 4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in Figure 10 may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device, however address decoding is still required to generate the appropriate CS for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as CS inputs—one for each I/O device.

### 4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see Figure 11) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals RD, WR and INT of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The RD and WR signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.



TL/H/5671-21

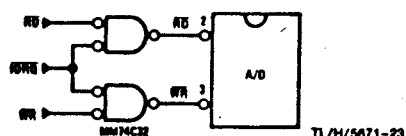
FIGURE 11. INS8048 Interface  
SAMPLE PROGRAM FOR FIGURE 11 INS8048 INTERFACE

04 10	JMP	10H	: Program starts at addr 10
	ORG	3H	
04 50	JMP	50H	: Interrupt jump vector
	ORG	10H	: Main program
99 FE	ANL	P1, #0FEH	: Chip select
81	MOVX	A, @R1	: Read in the 1st data
			: to reset the intr
89 01	START:	ORL	P1, #1
B8 20		MOV	R0, #20H
B9 FF		MOV	R1, #0FFH
BA 10		MOV	R2, #10H
23 FF	AGAIN:	MOV	A, #0FFH
99 FE		ANL	P1, #0FEH
91		MOVX	@R1, A
05		EN	I
96 21	LOOP:	JNZ	LOOP
EA 1B		DJNZ	R2, AGAIN
00		NOP	: go to user's program
00		NOP	
		ORG	50H
81	INDATA:	MOVX	A, @R1
A0		MOV	@R0, A
18		INC	R0
89 01		ORL	P1, #1
27		CLR	A
93		RETR	: the interrupt loop

### Functional Description (Continued)

## 4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General RD and WR strobes are provided and separate memory request, MREQ, and I/O request, IORQ, signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the RD and WR strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in Figure 13.



**FIGURE 13. Mapping the A/D as an I/O Device for Use with the Z-80 CPU**

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

### 4.3 Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the RD and WR strobe signals. Instead it employs a single R/W line and additional timing. If needed, can be derived from the  $\phi 2$  clock. All I/O devices are memory mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. Figure 14 shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity, the CS decoding is shown using  $\frac{1}{2}$  DM8092. Note that in many 6800 systems, an al-

ready decoded 475 line is brought out to the common bus at pin 21. This can be tied directly to the CS pin of the A/D, provided that no other devices are addressed at HX ADDR: 4XXX or 5XXX.

The following subroutine performs essentially the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

In *Figure 15* the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter, (PIA). Here the  $\overline{CS}$  pin of the A/D is grounded since the PIA is already memory mapped in the M6800 system and no  $\overline{CS}$  decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D  $\overline{RD}$  pin can be grounded.

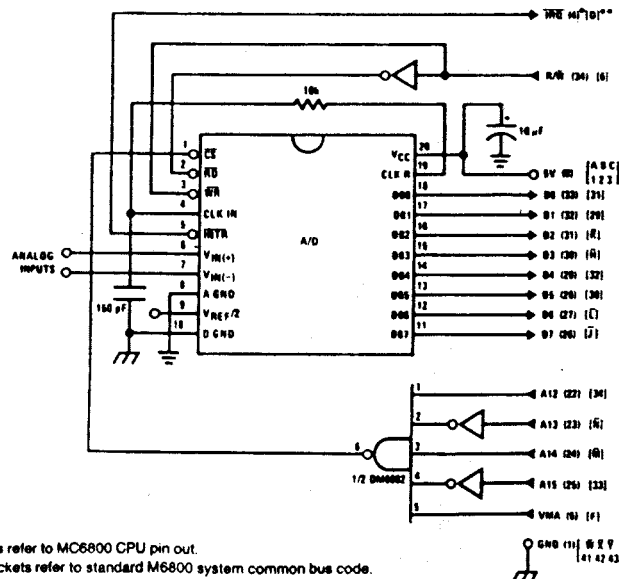
A sample interface program equivalent to the previous one is shown below *Figure 15*. The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007, respectively.

## 5.0 GENERAL APPLICATIONS

The following applications show some interesting uses for the A/D. The fact that one particular microprocessor is used is not meant to be restrictive. Each of these application circuits would have its counterpart using any microprocessor that is desired.

### 5.1 Multiple ADC0801 Series to MC6800 CPU Interface

To transfer analog data from several channels to a single microprocessor system, a multiple converter scheme presents several advantages over the conventional multiplexer single-converter approach. With the ADC0801 series, the differential inputs allow individual span adjustment for each channel. Furthermore, all analog input channels are sensed simultaneously, which essentially divides the microprocessor's total system servicing time by the number of channels, since all conversions occur simultaneously. This scheme is shown in Figure 16.



**Note 1:** Numbers in parentheses refer to MC6800 CPU pin out.

**Note 2:** Number or letters in brackets refer to standard M6800 system common bus code.

FIGURE 14. ADC0801-MC6800 CPU Interface

## Functional Description (Continued)

### SAMPLE PROGRAM FOR FIGURE 14 ADC0801-MC6800 CPU INTERFACE

0010	DF 36	DATAIN	STX	TEMP2	: Save contents of X
0012	CE 00 2C		LDX	#002C	: Upon IRQ low CPU
0015	FF FF F8		STX	\$FFF8	: jumps to 002C
0018	B7 50 00		STAA	\$5000	: Start ADC0801
001B	0E		CLI		
001C	3E	CONVRT	WAI		: Wait for interrupt
001D	DE 34		LDX	TEMP1	
001F	8C 02 0F		CPX	#020F	: Is final data stored?
0022	27 14		BEQ	ENDP	
0024	B7 50 00		STAA	\$5000	: Restarts ADC0801
0027	08		INX		
0028	DF 34		STX	TEMP1	
002A	20 F0		BRA	CONVRT	
002C	DE 34	INTRPT	LDX	TEMP1	
002E	B6 50 00		LDAA	\$5000	: Read data
0031	A7 00		STAA	X	: Store it at X
0033	3B		RTI		
0034	02 00	TEMP1	FDB	\$0200	: Starting address for
					: data storage
0036	00 00	TEMP2	FDB	\$0000	
0038	CE 02 00	ENDP	LDX	#0200	: Reinitialize TEMP1
003B	DF 34		STX	TEMP1	
003D	DE 36		LDX	TEMP2	
003F	39		RTS		: Return from subroutine
					: To user's program

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

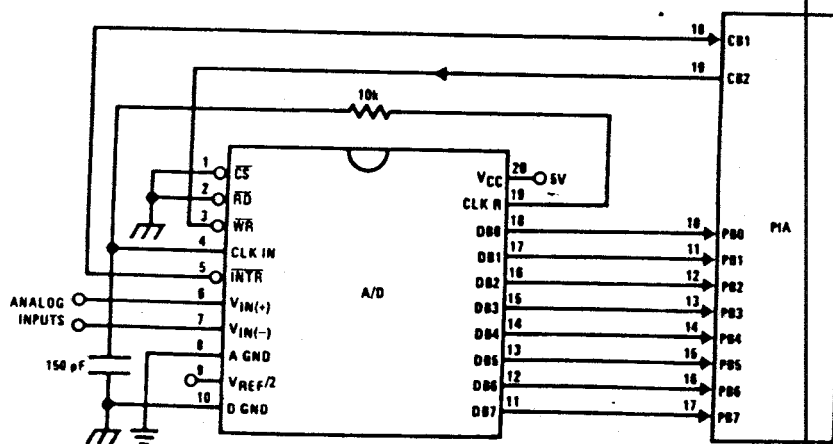


FIGURE 15. ADC0801-MC6820 PIA interface

TL/M/5671-25

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805



## Functional Description (Continued)

## SAMPLE PROGRAM FOR FIGURE 15 ADC0801-MC6800 PIA INTERFACE

0010	CE 00 38	DATAIN	LDX	#\$0038	; Upon $\overline{\text{IRQ}}$ low CPU
0013	FF FF F8		STX	\$\$\$F8	; jumps to 0038
0016	B6 80 06		LDAA	PIAORB	; Clear possible $\overline{\text{IRQ}}$ flags
0019	4F		CLRA		
001A	B7 80 07		STAA	PIACRB	
001D	B7 80 06		STAA	PIAORB	; Set Port B as input
0020	0E		CLI		
0021	C6 34		LDAB	\$\$\$34	
0023	86 3D		LDAA	\$\$\$3D	
0025	F7 80 07	CONVRT	STAB	PIACRB	; Starts ADC0801
0028	B7 80 07		STAA	PIACRB	
002B	3E		WAI		; Wait for interrupt
002C	DE 40		LDX	TEMP1	
002E	8C 02 0F		CPX	#\$020F	; Is final data stored?
0031	27 0F		BEQ	ENDP	
0033	08		INX		
0034	DF 40		STX	TEMP1	
0036	20 ED		BRA	CONVRT	
0038	DE 40	INTRPT	LDX	TEMP1	
003A	B6 80 06		LDAA	PIAORB	; Read data in
003D	A7 00		STAA	X	; Store it at X
003F	3B		RTI		
0040	02 00	TEMP1	FDB	\$0200	; Starting address for ; data storage
0042	CE 02 00	ENDP	LDX	#\$0200	; Reinitialize TEMP1
0045	DF 40		STX	TEMP1	
0047	39		RTS		; Return from subroutine
		PIAORB	EQU	\$8006	; To user's program
		PIACRB	EQU	\$8007	

The following schematic and sample subroutine (DATA IN) may be used to interface (up to) 8 ADC0801's directly to the MC6800 CPU. This scheme can easily be extended to allow the interface of more converters. In this configuration the converters are (arbitrarily) located at HEX address 5000 in the MC6800 memory space. To save components, the clock signal is derived from just one RC pair on the first converter. This output drives the other A/Ds.

All the converters are started simultaneously with a STORE instruction at HEX address 5000. Note that any other HEX address of the form 5XXX will be decoded by the circuit, pulling all the  $\overline{\text{CS}}$  inputs low. This can easily be avoided by using a more definitive address decoding scheme. All the interrupts are ORed together to insure that all A/Ds have completed their conversion before the microprocessor is interrupted.

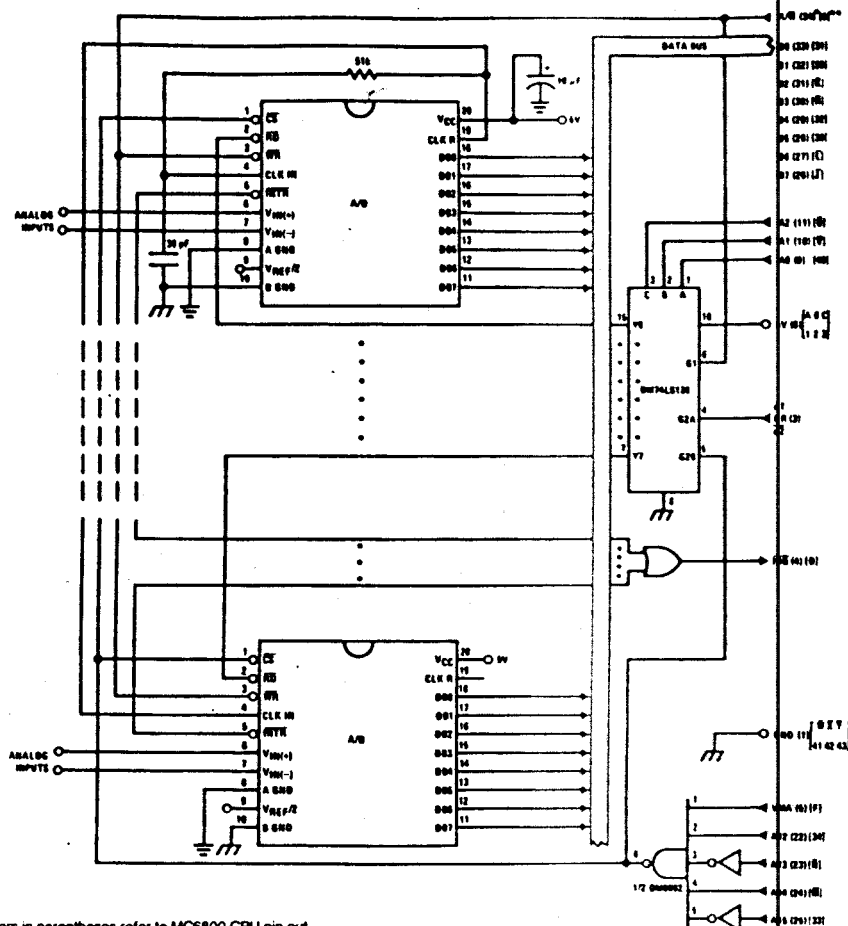
The subroutine, DATA IN, may be called from anywhere in the user's program. Once called, this routine initializes the

CPU, starts all the converters simultaneously and waits for the interrupt signal. Upon receiving the interrupt, it reads the converters (from HEX addresses 5000 through 5007) and stores the data successively at (arbitrarily chosen) HEX addresses 0200 to 0207, before returning to the user's program. All CPU registers then recover the original data they had before servicing DATA IN.

## 5.2 Auto-Zeroed Differential Transducer Amplifier and A/D Converter

The differential inputs of the ADC0801 series eliminate the need to perform a differential to single ended conversion for a differential transducer. Thus, one op amp can be eliminated since the differential to single ended conversion is provided by the differential input of the ADC0801 series. In general, a transducer preamp is required to take advantage of the full A/D converter input dynamic range.

# Functional Description (Continued)



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.

Note 2: Numbers of letters in brackets refer to standard M6800 system common bus code.

TL/H/5671-26

FIGURE 16. Interfacing Multiple A/Ds in an MC6800 System

## SAMPLE PROGRAM FOR FIGURE 16 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0010	DF 44	DATAIN STX TEMP	; Save Contents of X
0012	CE 00 2A	LDX #002A	; Upon IRQ LOW CPU
0015	FF FF F8	STX \$FFF8	; Jumps to 002A
0018	B7 50 00	STAA \$5000	; Starts all A/D's
001B	0E	CLI	
001C	3E	WAI	; Wait for interrupt
001D	CE 50 00	LDX \$5000	
0020	DF 40	STX INDEX1	; Reset both INDEX
0022	CE 02 00	LDX #0200	; 1 and 2 to starting
0025	DF 42	STX INDEX2	; addresses
0027	DE 44	LDX TEMP	
0029	39	RTS	; Return from subroutine
002A	DE 40	LDX INDEX1	; INDEX1 → X
002C	A6 00	LDAA X	; Read data in from A/D at X
002E	08	INX	; Increment X by one
002F	DF 40	STX INDEX1	; X → INDEX1
0031	DE 42	LDX INDEX2	; INDEX2 → X

## Functional Description (Continued)

## SAMPLE PROGRAM FOR FIGURE 16 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0033	A7 00	STAA X	: Store data at X
0035	8C 02 07	CPX #0207	: Have all A/D's been read?
0038	27 05	BEQ RETURN	: Yes: branch to RETURN
003A	08	INX	: No: increment X by one
003B	DF 42	STX INDEX2	: X → INDEX2
003D	20 EB	BRA INTRPT	: Branch to 002A
003F	3B	RETURN RTI	
0040	60 00	INDEX1 FDB	: Starting address for A/D
0042	02 00	INDEX2 FDB	: Starting address for data storage
0044	00 00	TEMP FDB	: \$0000

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

For amplification of DC input signals, a major system error is the input offset voltage of the amplifiers used for the preamp. Figure 17 is a gain of 100 differential preamp whose offset voltage errors will be cancelled by a zeroing subroutine which is performed by the INS8080A microprocessor system. The total allowable input offset voltage error for this preamp is only 50  $\mu$ V for  $\frac{1}{4}$  LSB error. This would obviously require very precise amplifiers. The expression for the differential output voltage of the preamp is:

$$V_O = \underbrace{[V_{IN(+)} - V_{IN(-)}]}_{\text{SIGNAL}} \underbrace{\left[1 + \frac{2R_2}{R_1}\right]}_{\text{GAIN}} + \underbrace{(V_{OS2} - V_{OS1} - V_{OS3} \pm I_X R_X)}_{\text{DC ERROR TERM}} \underbrace{\left(1 + \frac{2R_2}{R_1}\right)}_{\text{GAIN}}$$

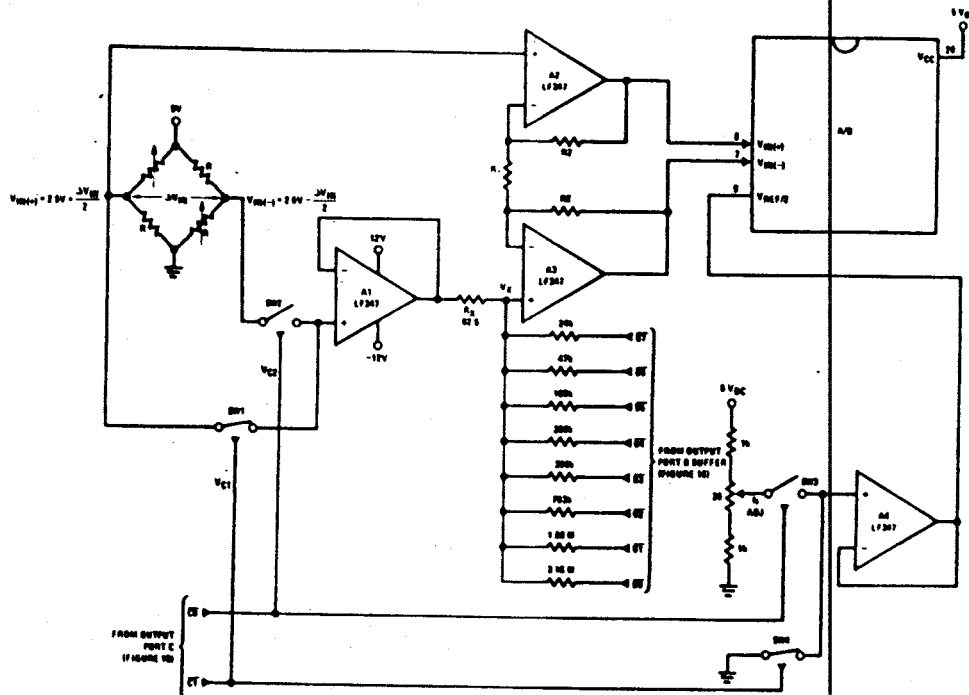
where  $I_X$  is the current through resistor  $R_X$ . All of the offset error terms can be cancelled by making  $\pm I_X R_X = V_{OS1} + V_{OS3} - V_{OS2}$ . This is the principle of this auto-zeroing scheme.

The INS8080A uses the 3 I/O ports of an INS8255 Programmable Peripheral Interface (PPI) to control the auto zeroing and input data from the ADC0801 as shown in Figure 18. The PPI is programmed for basic I/O operation (mode 0) with Port A being an input port and Ports B and C being output ports. Two bits of Port C are used to alternately open or close the 2 switches at the input of the preamp. Switch

SW1 is closed to force the preamp's differential input to be zero during the zeroing subroutine and then opened and SW2 is then closed for conversion of the actual differential input signal. Using 2 switches in this manner eliminates concern for the ON resistance of the switches as they must conduct only the input bias current of the input amplifiers.

Output Port B is used as a successive approximation register by the 8080 and the binary scaled resistors in series with each output bit create a D/A converter. During the zeroing subroutine, the voltage at  $V_X$  increases or decreases as required to make the differential output voltage equal to zero. This is accomplished by ensuring that the voltage at the output of A1 is approximately 2.5V so that a logic "1" (5V) on any output of Port B will source current into node  $V_X$  thus raising the voltage at  $V_X$  and making the output differential more negative. Conversely, a logic "0" (0V) will pull current out of node  $V_X$  and decrease the voltage, causing the differential output to become more positive. For the resistor values shown,  $V_X$  can move  $\pm 12$  mV with a resolution of 50  $\mu$ V, which will null the offset error term to  $\frac{1}{4}$  LSB of full-scale for the ADC0801. It is important that the voltage levels that drive the auto-zero resistors be constant. Also, for symmetry, a logic swing of 0V to 5V is convenient. To achieve this, a CMOS buffer is used for the logic output signals of Port B and this CMOS package is powered with a stable 5V source. Buffer amplifier A1 is necessary so that it can source or sink the D/A output current.

## Functional Description (Continued)



Note 1:  $R_2 = 49.5 R_1$

Note 2: Switches are LMC13334 CMOS analog switches.

Note 3: The 9 resistors used in the auto-zero section can be  $\pm 5\%$  tolerance.

FIGURE 17. Gain of 100 Differential Transducer Preamp

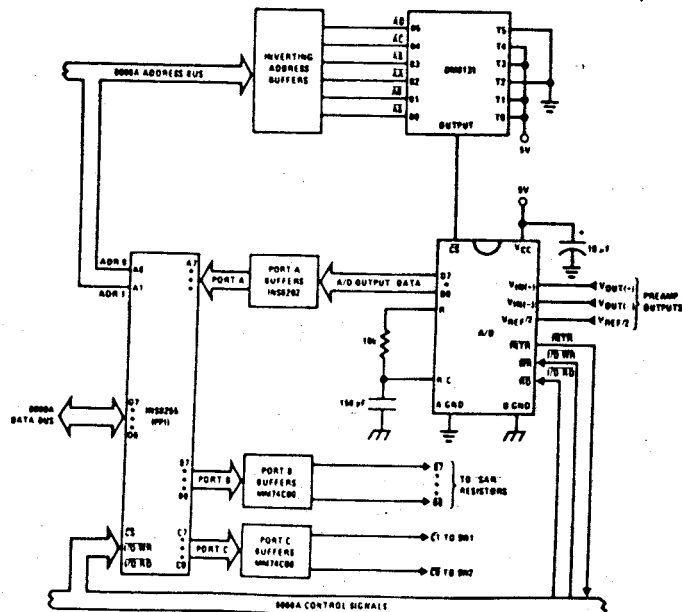


FIGURE 18. Microprocessor Interface Circuitry for Differential Preamp

TL/H/5671-27

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

3

A flow chart for the zeroing subroutine is shown in Figure 19. It must be noted that the ADC0801 series will output an all zero code when it converts a negative input [ $V_{IN}(-) \geq V_{IN}(+)$ ]. Also, a logic inversion exists as all of the I/O ports are buffered with inverting gates.

Basically, if the data read is zero, the differential output voltage is negative, so a bit in Port B is cleared to pull  $V_X$  more negative which will make the output more positive for the next conversion. If the data read is not zero, the output voltage is positive so a bit in Port B is set to make  $V_X$  more positive and the output more negative. This continues for 8 approximations and the differential output eventually converges to within 5 mV of zero.

The actual program is given in Figure 20. All addresses used are compatible with the BLC 80/10 microcomputer system. In particular:

Port A and the ADC0801 are at port address E4

Port B is at port address E5

Port C is at port address E6

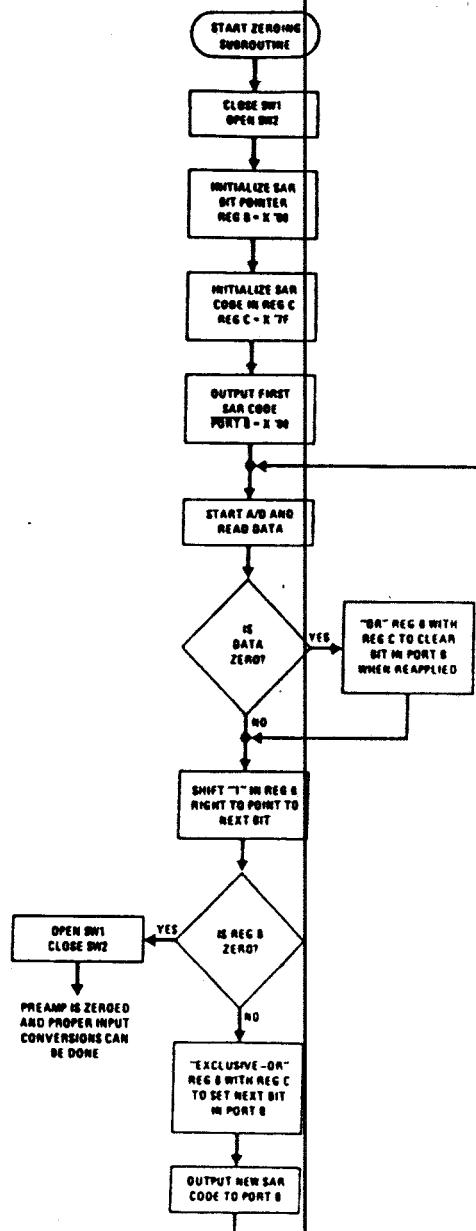
PPI control word port is at port address E7

Program Counter automatically goes to ADDR:3C3D upon acknowledgement of an interrupt from the ADC0801

### 5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode

In data acquisition systems where more than one A/D converter (or other peripheral device) will be interrupting program execution of a microprocessor, there is obviously a need for the CPU to determine which device requires servicing. Figure 21 and the accompanying software is a method of determining which of 7 ADC0801 converters has completed a conversion (INTR asserted) and is requesting an interrupt. This circuit allows starting the A/D converters in any sequence, but will input and store valid data from the converters with a priority sequence of A/D 1 being read first, A/D 2 second, etc., through A/D 7 which would have the lowest priority for data being read. Only the converters whose INT is asserted will be read.

The key to decoding circuitry is the DM74LS373, 8-bit D type flip-flop. When the Z-80 acknowledges the interrupt, the program is vectored to a data input Z-80 subroutine. This subroutine will read a peripheral status word from the DM74LS373 which contains the logic state of the INTR outputs of all the converters. Each converter which initiates an interrupt will place a logic "0" in a unique bit position in the status word and the subroutine will determine the identity of the converter and execute a data read. An identifier word (which indicates which A/D the data came from) is stored in the next sequential memory location above the location of the data so the program can keep track of the identity of the data entered.



TL/H/5671-28

FIGURE 19. Flow Chart for Auto-Zero Routine

```

3D00 3E90 NVI 90
3D02 D3E7 Out Control Port ; Program PPI
3D04 2801 NVI H 01 Auto-Zero Subroutine
3D06 7C MOV A,H
3D07 D3E6 OUT C ; Close SW1 open SW2
3D09 0680 NVI B 80 ; Initialize SAR bit pointer
3D0B 3E7F NVI A 7F ; Initialize SAR code
3D0D 4F MOV C,A Return
3D0E D3E5 OUT B ; Port B = SAR code
3D10 31AA3D LXI SP 3DAA Start ; Dimension stack pointer
3D13 D3E4 OUT A ; Start A/D
3D15 FB IE
3D16 00 NOP Loop ; Loop until INT asserted
3D17 C3183D JMP Loop
3D1A 7A MOV A,D Auto-Zero
3D1B C600 ADI 00
3D1D CA2D3D JZ Set C ; Test A/D output data for zero
3D20 78 MOV A,B Shift B
3D21 F800 ORI 00 ; Clear carry
3D23 1F RAR ; Shift "1" in B right one place
3D24 FE00 CPI 00 ; Is B zero? If yes last
3D26 CA373D JZ Done ; approximation has been made
3D29 47 MOV B,A
3D2A C3333D JMP New C
3D2D 79 MOV A,C Set C
3D2E B0 ORA B ; Set bit in C that is in same
3D2F 4F MOV C,A ; position as "1" in B
3D30 C3203D JMP Shift B
3D33 A9 XRA C New C ; Clear bit in C that is in
3D34 C30D3D JMP Return ; same position as "1" in B
3D37 47 MOV B,A Done ; then output new SAR code.
3D38 7C MOV A,H ; Open SW1, close SW2 then
3D39 EE03 XRI 03 ; proceed with program. Preamp
3D3B D3E6 OUT C ; is now zeroed.
3D3D *
*
*
Program for processing
proper data values
3C3D DBE4 IN A Read A/D Subroutine ; Read A/D data
3C3F EEFF XRI FF ; Invert data
3C41 57 MOV D,A
3C42 78 MOV A,B ; Is B Reg=0? If not stay
3C43 E6FF ANI FF ; in auto zero subroutine
3C45 C21A3D JNZ Auto-Zero
3C48 C33D3D JMP Normal

```

Note: All numerical values are hexadecimal representations.

FIGURE 20. Software for Auto-Zeroed Differential A/D

### 5.3 Multiple A/D Converters in a Z-80® Interrupt Driven Mode (Continued)

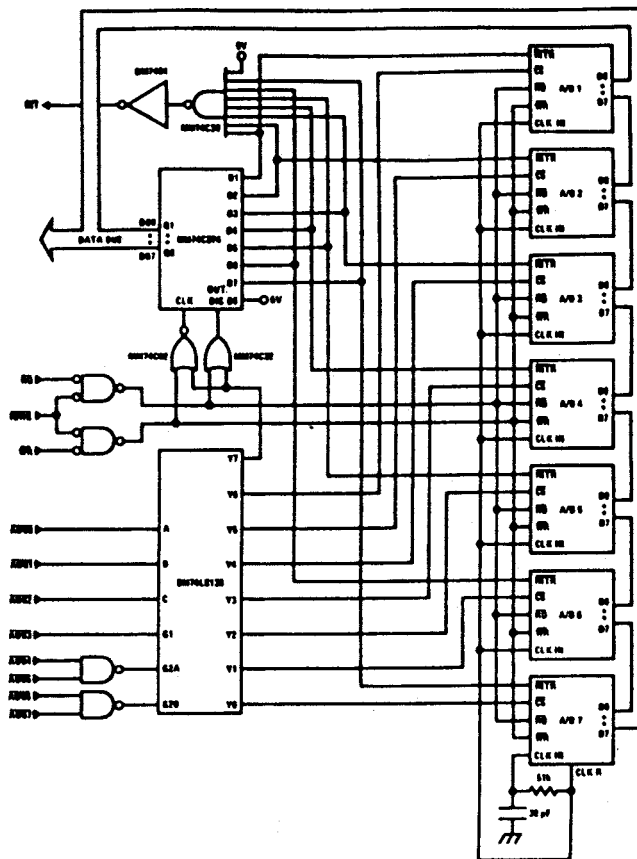
The following notes apply:

- 1) It is assumed that the CPU automatically performs a RST 7 instruction when a valid interrupt is acknowledged (CPU is in interrupt mode 1). Hence, the subroutine starting address of X0038.
- 2) The address bus from the Z-80 and the data bus to the Z-80 are assumed to be inverted by bus drivers.
- 3) A/D data and identifying words will be stored in sequential memory locations starting at the arbitrarily chosen address X 3E00.
- 4) The stack pointer must be dimensioned in the main program as the RST 7 instruction automatically pushes the PC onto the stack and the subroutine uses an additional 6 stack addresses.

- 5) The peripherals of concern are mapped into I/O space with the following port assignments:

HEX PORT ADDRESS	PERIPHERAL
00	MM74C374 8-bit flip-flop
01	A/D 1
02	A/D 2
03	A/D 3
04	A/D 4
05	A/D 5
06	A/D 6
07	A/D 7

This port address also serves as the A/D identifying word in the program.



**FIGURE 21. Multiple A/Ds with Z-80 Type Microprocessor**

TL/H/5671-29

## INTERRUPT SERVICING SUBROUTINE

LOC	OBJ CODE	SOURCE STATEMENT	COMMENT
0038	E5	PUSH HL	; Save contents of all registers affected by
0039	C5	PUSH BC	; this subroutine.
003A	F5	PUSH AF	; Assumed INT mode 1 earlier set.
003B	21 00 3E	LD (HL), X3E00	; Initialize memory pointer where data will be stored.
003E	0E 01	LD C, X01	; C register will be port ADDR of A/D converters.
0040	D300	OUT X00, A	; Load peripheral status word into 8-bit latch.
0042	DB00	IN A, X00	; Load status word into accumulator.
0044	47	LD B, A	; Save the status word.
0045	79	LD A, C	; Test to see if the status of all A/D's have
0046	FE 08	CP, X08	; been checked. If so, exit subroutine
0048	CA 60 00	JPZ, DONE	
004B	78	LD A, B	; Test a single bit in status word by looking for
004C	1F	RRA	; a "1" to be rotated into the CARRY (an INT
004D	47	LD B, A	; is loaded as a "1"). If CARRY is set then load
004E	DA 5500	JPC, LOAD	; contents of A/D at port ADDR in C register.
0051	0C	INC C	; If CARRY is not set, increment C register to point
0052	C3 4500	JP, TEST	; to next A/D, then test next bit in status word.
0055	ED 78	IN A, (C)	; Read data from interrupting A/D and invert
0057	EE FF	XOR FF	; the data.
0059	77	LD (HL), A	; Store the data
005A	2C	INCL	
005B	71	LD (HL), C	; Store A/D identifier (A/D port ADDR).
005C	2C	INCL	
005D	C3 51 00	JP, NEXT	; Test next bit in status word.
0060	F1	POP AF	; Re-establish all registers as they were
0061	C1	POP BC	; before the interrupt.
0062	E1	POP HL	
0063	C9	RET	; Return to original program

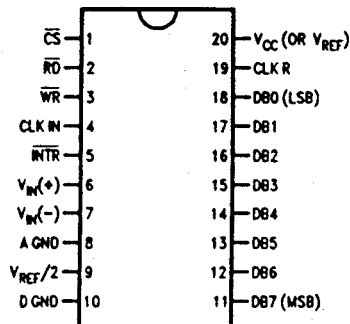
## Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	0°C TO 70°C	-40°C TO +85°C
ERROR	± ¼ Bit Adjusted	ADC0802LCWM	ADC0802LCV	ADC0804LCN	ADC0801LCN
	± ½ Bit Unadjusted				ADC0802LCN
	± ½ Bit Adjusted	ADC0803LCWM	ADC0803LCV		ADC0803LCN
	± 1 Bit Unadjusted	ADC0804LCWM	ADC0804LCV		ADC0805LCN
PACKAGE OUTLINE		M20B—Small Outline	V20A—Chip Carrier	N20A—Molded DIP	

TEMP RANGE		-40°C TO +85°C	-55°C TO +125°C
ERROR	± ¼ Bit Adjusted	ADC0801LCJ	ADC0801LJ
	± ½ Bit Unadjusted	ADC0802LCJ	ADC0802LJ
	± ½ Bit Adjusted	ADC0803LCJ	
	± 1 Bit Unadjusted	ADC0804LCJ	
PACKAGE OUTLINE		J20A—Cavity DIP	J20A—Cavity DIP

## Connection Diagrams

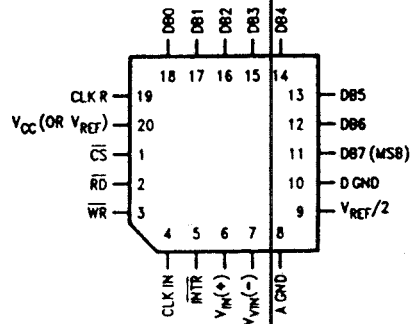
ADC080X  
Dual-In-Line and Small Outline (SO) Packages



TL/H/5671-30

See Ordering Information

ADC080X  
Molded Chip Carrier (PCC) Package



TL/H/5671-32





## LF198/LF298/LF398, LF198A/LF398A Monolithic Sample and Hold Circuits

### General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6  $\mu$ s to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin, and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of  $10^{10}\Omega$  allows high source impedances to be used without degrading accuracy. P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1  $\mu$ F hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode, even for input signals equal to the supply voltages.

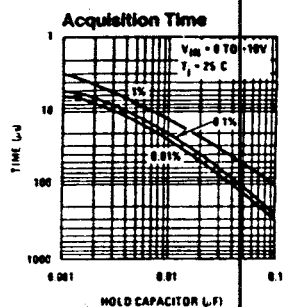
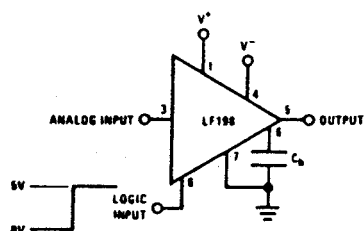
### Features

- Operates from  $\pm 5$ V to  $\pm 18$ V supplies
- Less than 10  $\mu$ s acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at  $C_h = 0.01 \mu$ F
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from  $\pm 5$ V to  $\pm 18$ V supplies. It is available in an 8-lead TO-5 package.

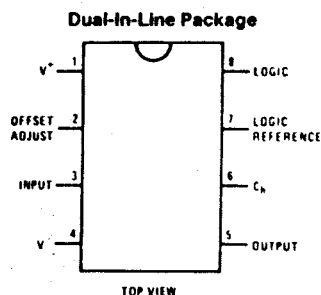
An "A" version is available with tightened electrical specifications.

### Typical Connection and Performance Curve



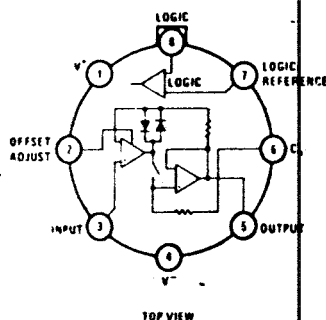
TL/H/5602-2

### Connection Diagrams



Order Number LF398N or LF398AN  
See NS Package Number N08E

#### Metal Can Package



Order Number LF198H, LF298H,  
LF398H, LF198AH or LF398AH  
See NS Package Number H08C

TL/H/5602-11

LF198/LF298/LF398/LF198A/LF398A

5

### Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	± 18V
Power Dissipation (Package Limitation) (Note 1)	500 mW
Operating Ambient Temperature Range	
LF198/LF198A	−55°C to +125°C
LF298	−25°C to +85°C
LF398/LF398A	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Input Voltage	Equal to Supply Voltage
Logic To Logic Reference Differential Voltage (Note 2)	+7V, −30V
Output Short Circuit Duration	Indefinite
Hold Capacitor Short Circuit Duration	10 sec
Lead Temperature (Soldering, 10 seconds)	260°C
Thermal Resistance ( $\theta_{JA}$ ) (typical)	
H package	215°C/W (Board mount in still air) 85°C/W (Board mount in 400LF/min air flow)
N package	115°C/W
$\theta_{JC}$ (typical)	20°C/W

### Electrical Characteristics (Note 3)

Parameter	Conditions	LF198/LF298			LF398			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage, (Note 6)	$T_j = 25^\circ\text{C}$		1	3		2	7	mV
	Full Temperature Range			5			10	mV
Input Bias Current, (Note 6)	$T_j = 25^\circ\text{C}$		5	25		10	50	nA
	Full Temperature Range			75			100	nA
Input Impedance	$T_j = 25^\circ\text{C}$		$10^{10}$			$10^{10}$		$\Omega$
Gain Error	$T_j = 25^\circ\text{C}, R_L = 10\text{k}$		0.002	0.005		0.004	0.01	%
	Full Temperature Range			0.02			0.02	%
Feedthrough Attenuation Ratio at 1 kHz	$T_j = 25^\circ\text{C}, C_h = 0.01 \mu\text{F}$	86	96		80	90		dB
Output Impedance	$T_j = 25^\circ\text{C}, \text{"HOLD" mode}$		0.5	2		0.5	4	$\Omega$
	Full Temperature Range			4			6	$\Omega$
"HOLD" Step, (Note 4)	$T_j = 25^\circ\text{C}, C_h = 0.01 \mu\text{F}, V_{OUT} = 0$		0.5	2.0		1.0	2.5	mV
Supply Current, (Note 6)	$T_j \geq 25^\circ\text{C}$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_j = 25^\circ\text{C}$		2	10		2	10	$\mu\text{A}$
Leakage Current into Hold Capacitor (Note 6)	$T_j = 25^\circ\text{C}, \text{(Note 5)}$ Hold Mode		30	100		30	200	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10\text{V}, C_h = 1000 \text{ pF}$		4			4		$\mu\text{s}$
	$C_h = 0.01 \mu\text{F}$		20			20		$\mu\text{s}$
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2\text{V}$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	80	110		80	110		dB
Differential Logic Threshold	$T_j = 25^\circ\text{C}$	0.8	1.4	2.4	0.8	1.4	2.4	V

# Electrical Characteristics (Continued) (Note 3)

Parameter	Conditions	LF198A			LF398A			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage, (Note 6)	$T_j = 25^\circ\text{C}$ Full Temperature Range		1	1 2		2	2 3	mV mV
Input Bias Current, (Note 6)	$T_j = 25^\circ\text{C}$ Full Temperature Range		5	25 75		10	25 50	nA nA
Input Impedance	$T_j = 25^\circ\text{C}$		$10^{10}$			$10^{10}$		$\Omega$
Gain Error	$T_j = 25^\circ\text{C}$ , $R_L = 10\text{k}$ Full Temperature Range		0.002	0.005 0.01		0.004	0.005 0.01	% %
Feedthrough Attenuation Ratio at 1 kHz	$T_j = 25^\circ\text{C}$ , $C_h = 0.01 \mu\text{F}$	86	96		86	90		dB
Output Impedance	$T_j = 25^\circ\text{C}$ , "HOLD" mode Full Temperature Range		0.5	1 4		0.5	1 6	$\Omega$ $\Omega$
"HOLD" Step, (Note 4)	$T_j = 25^\circ\text{C}$ , $C_h = 0.01 \mu\text{F}$ , $V_{OUT} = 0$		0.5	1		1.0	1	mV
Supply Current, (Note 6)	$T_j \geq 25^\circ\text{C}$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_j = 25^\circ\text{C}$		2	10		2	10	$\mu\text{A}$
Leakage Current into Hold Capacitor (Note 6)	$T_j = 25^\circ\text{C}$ , (Note 5) Hold Mode		30	100		30	100	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10\text{V}$ , $C_h = 1000 \text{ pF}$ $C_h = 0.01 \mu\text{F}$		4 20	6 25		4 20	6 25	$\mu\text{s}$ $\mu\text{s}$
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2\text{V}$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	90	110		90	110		dB
Differential Logic Threshold	$T_j = 25^\circ\text{C}$	0.8	1.4	2.4	0.8	1.4	2.4	V

Note 1: The maximum junction temperature of the LF198/LF198A is  $150^\circ\text{C}$ , for the LF298,  $115^\circ\text{C}$ , and for the LF398/LF398A,  $100^\circ\text{C}$ . When operating at elevated ambient temperature, the power dissipation must be derated based on a thermal resistance ( $\theta_{JA}$ ) of  $150^\circ\text{C}/\text{W}$ .

Note 2: Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.

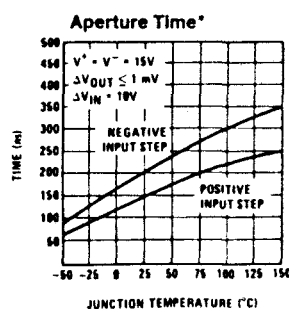
Note 3: Unless otherwise specified, the following conditions apply. Unit is in "sample" mode,  $V_S = \pm 15\text{V}$ ,  $T_j = 25^\circ\text{C}$ ,  $-11.5\text{V} \leq V_{IN} \leq +11.5\text{V}$ ,  $C_h = 0.01 \mu\text{F}$ , and  $R_L = 10 \text{ k}\Omega$ . Logic reference voltage = 0V and logic voltage = 2.5V.

Note 4: Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV step with a 5V logic swing and a 0.01  $\mu\text{F}$  hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

Note 5: Leakage current is measured at a junction temperature of  $25^\circ\text{C}$ . The effects of junction temperature rise due to power dissipation or elevated ambient can be calculated by doubling the  $25^\circ\text{C}$  value for each  $11^\circ\text{C}$  increase in chip temperature. Leakage is guaranteed over full input signal range.

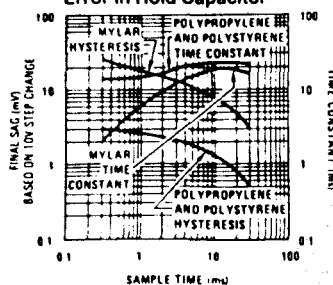
Note 6: These parameters guaranteed over a supply voltage range of  $\pm 5$  to  $\pm 18\text{V}$ , and an input range of  $-V_S + 3.5\text{V} \leq V_{IN} \leq +V_S - 3.5\text{V}$ .

## Typical Performance Characteristics

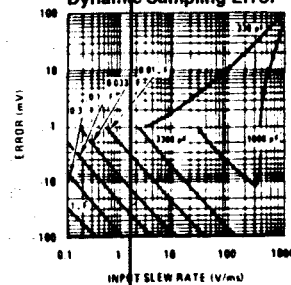


\*See Definition of Terms

## Dielectric Absorption Error in Hold Capacitor

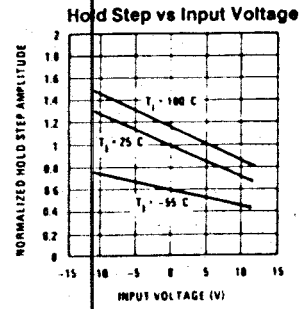
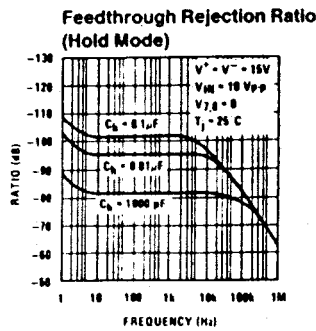
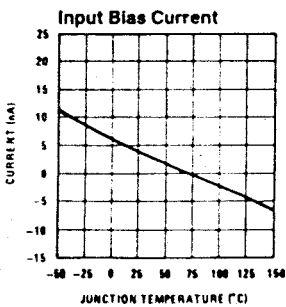
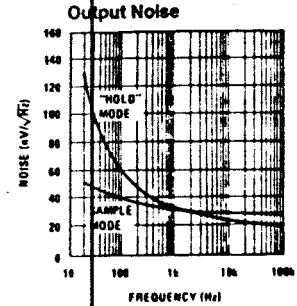
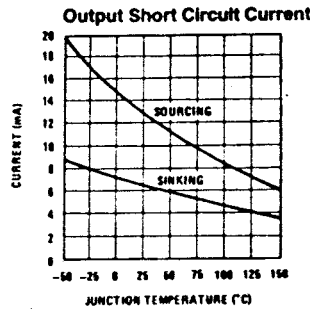
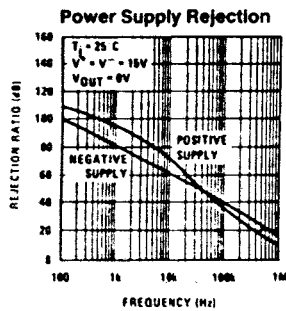
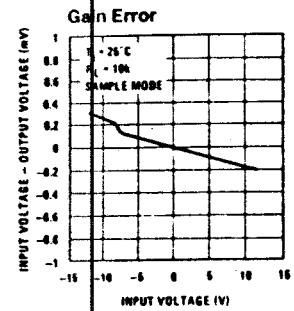
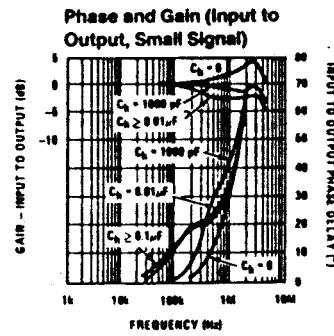
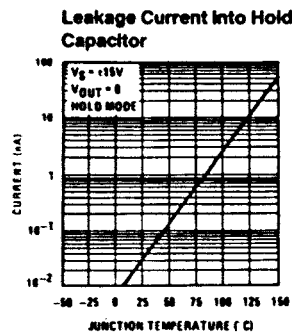
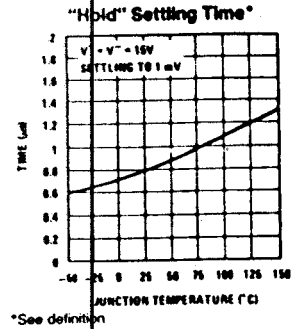
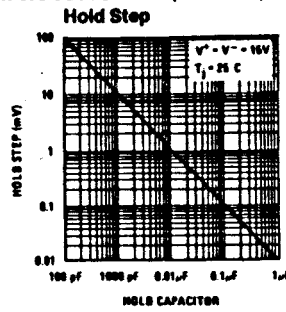
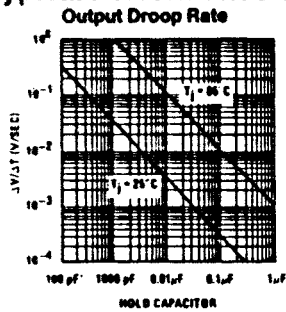


## Dynamic Sampling Error



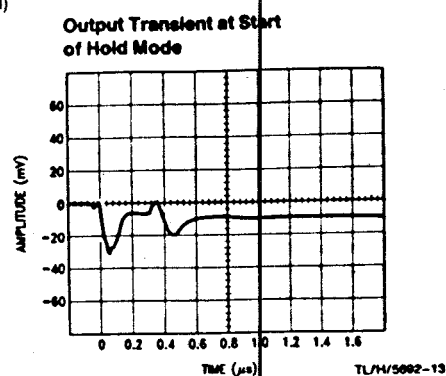
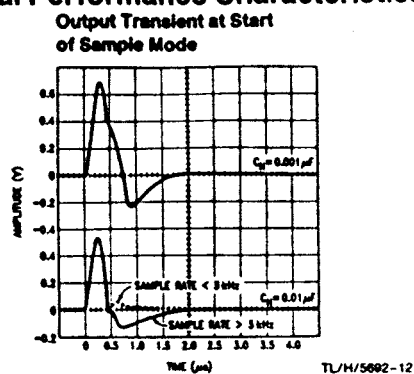
TL/H-5692-3

# Typical Performance Characteristics (Continued)



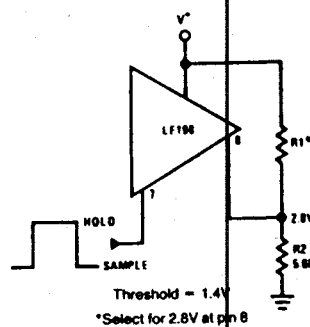
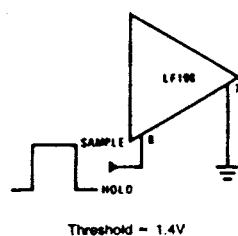
TL/H/5692-4

# Typical Performance Characteristics (Continued)

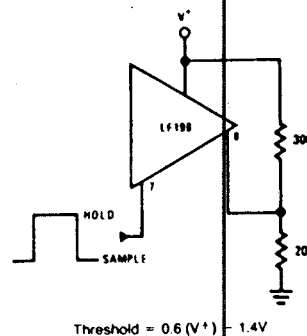
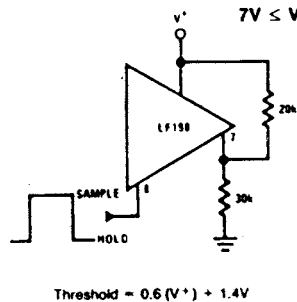


## Logic Input Configurations

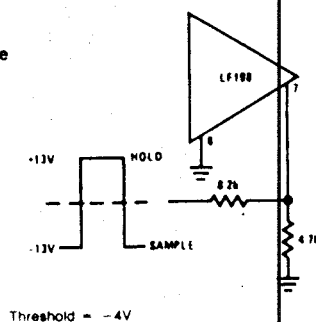
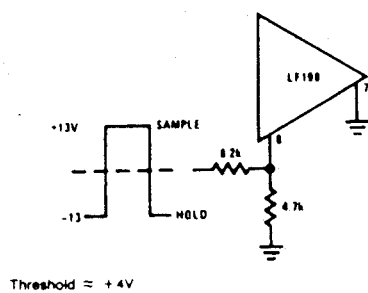
TTL & CMOS  
 $3V \leq V_L \text{ (HI State)} \leq 7V$



CMOS  
 $7V \leq V_L \text{ (HI State)} \leq 15V$



## Op Amp Drive



## Application Hints

### Hold Capacitor

Hold step, acquisition time, and droop rate are the major trade-offs in the selection of a hold capacitor value. Size and cost may also become important for larger values. Use of the curves included with this data sheet should be helpful in selecting a reasonable value of capacitance. Keep in mind that for fast repetition rates or tracking fast signals, the capacitor drive currents may cause a significant temperature rise in the LF198.

A significant source of error in an accurate sample and hold circuit is dielectric absorption in the hold capacitor. A mylar cap, for instance, may "sag back" up to 0.2% after a quick change in voltage. A long "soak" time is required before the circuit can be put back into the hold mode with this type of capacitor. Dielectrics with very low hysteresis are polystyrene, polypropylene, and Teflon. Other types such as mica and polycarbonate are not nearly as good. Ceramic is unusable with > 1% hysteresis. The advantage of polypropylene over polystyrene is that it extends the maximum ambient temperature from 85°C to 100°C. "NPO" or "COG" capacitors are now available for 125°C operation and also have low dielectric absorption. For more exact data, see the curve *Dielectric Absorption Error*. The hysteresis numbers on the curve are final values, taken after full relaxation. The hysteresis error can be significantly reduced if the output of the LF198 is digitized quickly after the hold mode is initiated. The hysteresis relaxation time constant in polypropylene, for instance, is 10–50 ms. If A-to-D conversion can be made within 1 ms, hysteresis error will be reduced by a factor of ten.

### DC and AC Zeroing

DC zeroing is accomplished by connecting the offset adjust pin to the wiper of a 1 k $\Omega$  potentiometer which has one end tied to V<sup>+</sup> and the other end tied through a resistor to ground. The resistor should be selected to give  $\approx 0.6$  mA through the 1k potentiometer.

AC zeroing (hold step zeroing) can be obtained by adding an inverter with the adjustment pot tied input to output. A 10 pF capacitor from the wiper to the hold capacitor will give  $\pm 4$  mV hold step adjustment with a 0.01  $\mu$ F hold capacitor and 5V logic supply. For larger logic swings, a smaller capacitor (< 10 pF) may be used.

### Logic Rise Time

For proper operation, logic signals into the LF198 must have a minimum dV/dt of 1.0 V/ $\mu$ s. Slower signals will cause excessive hold step. If a R/C network is used in front of the logic input for signal delay, calculate the slope of the waveform at the threshold point to ensure that it is at least 1.0 V/ $\mu$ s.

### Sampling Dynamic Signals

Sample error to moving input signals probably causes more confusion among sample-and-hold users than any other parameter. The primary reason for this is that many users make the assumption that the sample and hold amplifier is truly locked on to the input signal while in the sample mode. In actuality, there are finite phase delays through the circuit creating an input-output differential for fast moving signals. In addition, although the output may have settled, the hold capacitor has an additional lag due to the 300 $\Omega$  series resis-

tor on the chip. This means that at the moment the "hold" command arrives, the hold capacitor voltage may be somewhat different than the actual analog input. The effect of these delays is opposite to the effect created by delays in the logic which switches the circuit from sample to hold. For example, consider an analog input of 20 Vp-p at 10 kHz. Maximum dV/dt is 0.6 V/ $\mu$ s. With no analog phase delay and 100 ns logic delay, one could expect up to (0.1  $\mu$ s) (0.6 V/ $\mu$ s) = 60 mV error if the "hold" signal arrived near maximum dV/dt of the input. A positive-going input would give a +60 mV error. Now assume a 1 MHz (3 dB) bandwidth for the overall analog loop. This generates a phase delay of 160 ns. If the hold capacitor sees this exact delay, then error due to analog delay will be (0.16  $\mu$ s) (0.6 V/ $\mu$ s) = -96 mV. Total output error is +60 mV (digital) - 96 mV (analog) for a total of -36 mV. To add to the confusion, analog delay is proportioned to hold capacitor value while digital delay remains constant. A family of curves (dynamic sampling error) is included to help estimate errors.

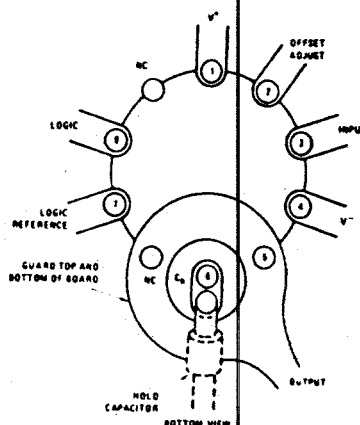
A curve labeled *Aperture Time* has been included for sampling conditions where the input is steady during the sampling period, but may experience a sudden change nearly coincident with the "hold" command. This curve is based on a 1 mV error fed into the output.

A second curve, *Hold Settling Time* indicates the time required for the output to settle to 1 mV after the "hold" command.

### Digital Feedthrough

Fast rise time logic signals can cause hold errors by feeding externally into the analog input at the same time the amplifier is put into the hold mode. To minimize this problem, board layout should keep logic lines as far as possible from the analog input. Grounded guarding traces may also be used around the input line, especially if it is driven from a high impedance source. Reducing high amplitude logic signals to 2.5V will also help.

### Guarding Technique



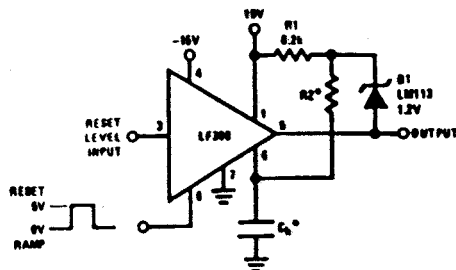
Use 10-pin layout. Guard around C<sub>H</sub> is tied to output.

TL/H/5802-S



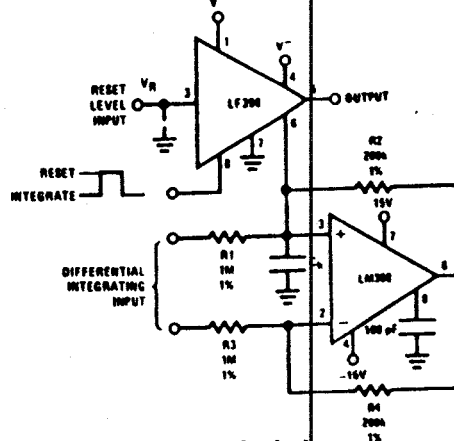
# Typical Applications (Continued)

Ramp Generator with Variable Reset Level



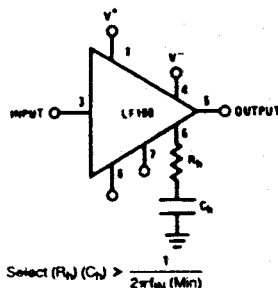
\*Select for ramp rate  
 $\frac{\Delta V}{\Delta T} = \frac{1.2V}{(R2)(C1)}$   
 $R2 \geq 10k$

Integrator with Programmable Reset Level



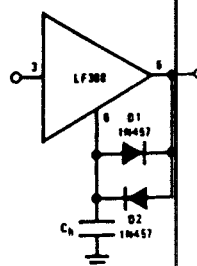
$$V_{OUT} (\text{Hold Mode}) = \left[ \frac{1}{(R1)(C1)} \int_0^t V_{IN} dt \right] + [V_R]$$

Output Holds at Average of Sampled Input

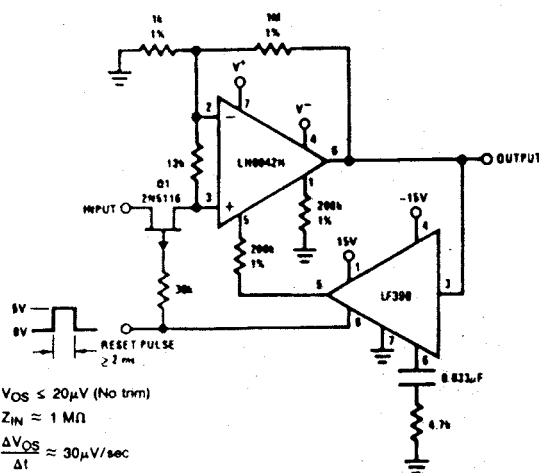


Select  $(R1)(C1) > \frac{1}{2\pi f_{IN}(\text{Min})}$

Increased Slew Current

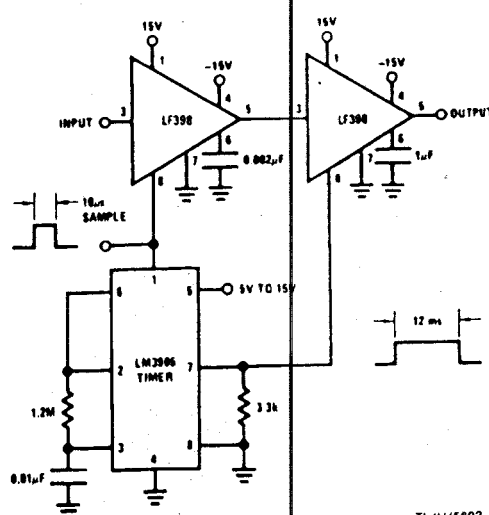


Reset Stabilized Amplifier (Gain of 1000)



$V_{OS} \leq 20\mu V$  (No trim)  
 $Z_{IN} \approx 1 M\Omega$   
 $\frac{\Delta V_{OS}}{\Delta T} \approx 30\mu V/sec$   
 $\frac{\Delta V_{OS}}{\Delta T} \approx 0.1\mu V/^{\circ}C$

Fast Acquisition, Low Droop Sample & Hold



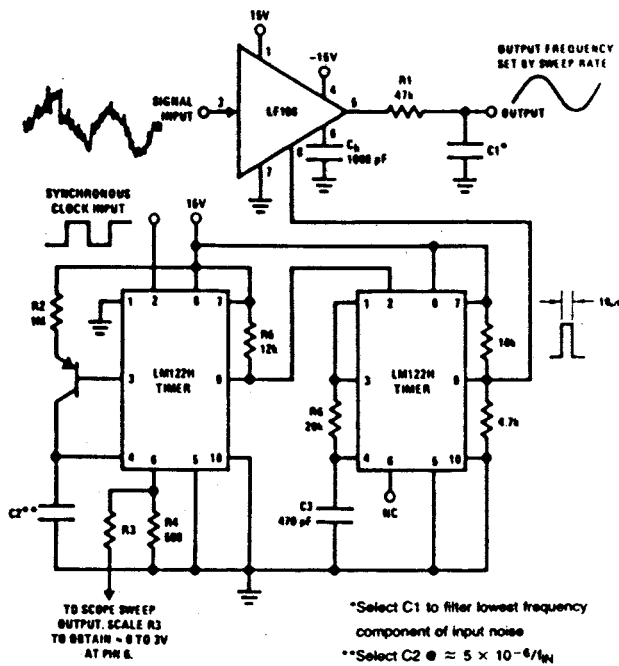
TL/H/5692-8



### Typical Applications (Continued)

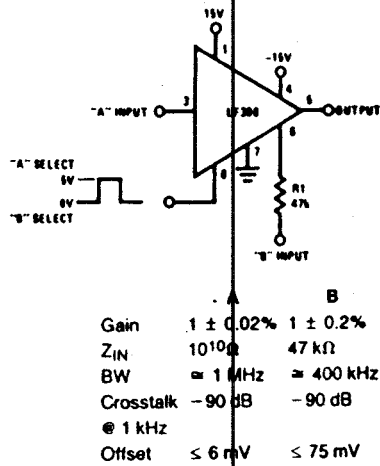
Synchronous Correlator for Recovering  
Signals Below Noise Level

## Synchronous Correlator for Recovering Signals Below Noise Level



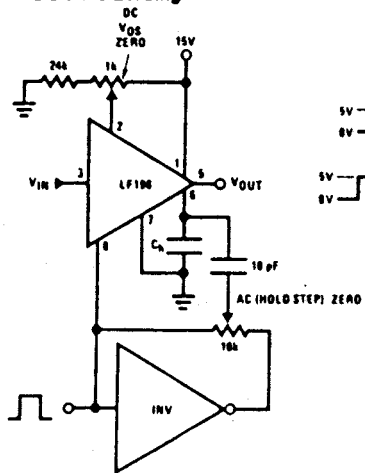
- \*Select C1 to filter lowest frequency component of input noise
- \*\*Select C2 @  $\approx 5 \times 10^{-6}/f_{IN}$

## 2-Channel Switch

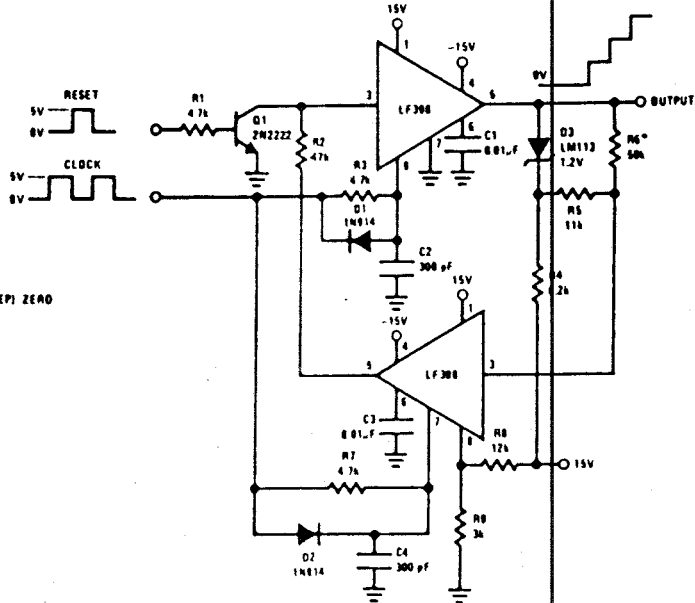


Gain	$1 \pm 0.02\%$	$1 \pm 0.2\%$
$Z_{IN}$	$10^{10} \Omega$	47 k $\Omega$
BW	$\approx 1$ MHz	$\approx 400$ kHz
Crosstalk @ 1 kHz	-90 dB	-90 dB
Offset	$\leq 6$ mV	$\leq 75$ mV

## DC & AC Zeroing



## Staircase Generator

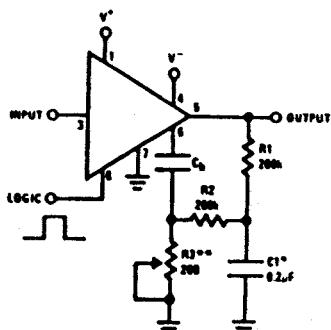


\* Select for step height  
50k  $\rightarrow$   $\approx$  1V Step

TL/H/5692-9

## Typical Applications (Continued)

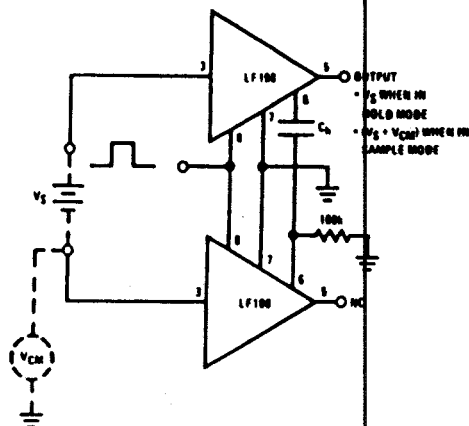
### Capacitor Hysteresis Compensation



\*Select for time constant  $C1 = \frac{V}{100k}$

\*\*Adjust for amplitude

### Differential Hold



TL/H/5002-10

## Definition of Terms

**Hold Step:** The voltage step at the output of the sample and hold when switching from sample mode to hold mode with a steady (dc) analog input voltage. Logic swing is 5V.

**Acquisition Time:** The time required to acquire a new analog input voltage with an output step of 10V. Note that acquisition time is not just the time required for the output to settle, but also includes the time required for all internal nodes to settle so that the output assumes the proper value when switched to the hold mode.

**Gain Error:** The ratio of output voltage swing to input voltage swing in the sample mode expressed as a per cent difference.

**Hold Settling Time:** The time required for the output to settle within 1 mV of final value after the "hold" logic command.

**Dynamic Sampling Error:** The error introduced into the held output due to a changing analog input at the time the hold command is given. Error is expressed in mV with a given hold capacitor value and input slew rate. Note that this error term occurs even for long sample times.

**Aperture Time:** The delay required between "Hold" command and an input analog transition, so that the transition does not affect the held output.



## 8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - Standard Temperature Range
  - Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

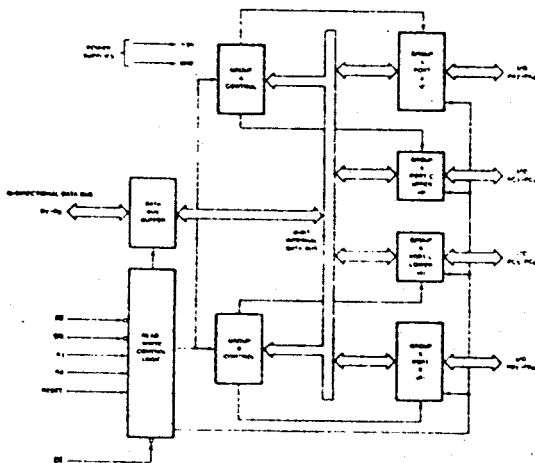


Figure 1. 8255A Block Diagram

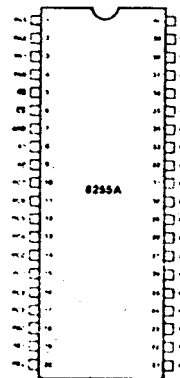


Figure 2. Pin Configuration

## General

### Data Bus Buffer

### Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

(CS)

**Chio Select.** A "low" on this input pin enables the communication between the 8255A and the CPU.

(RD)

**Read.** A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

(WR)

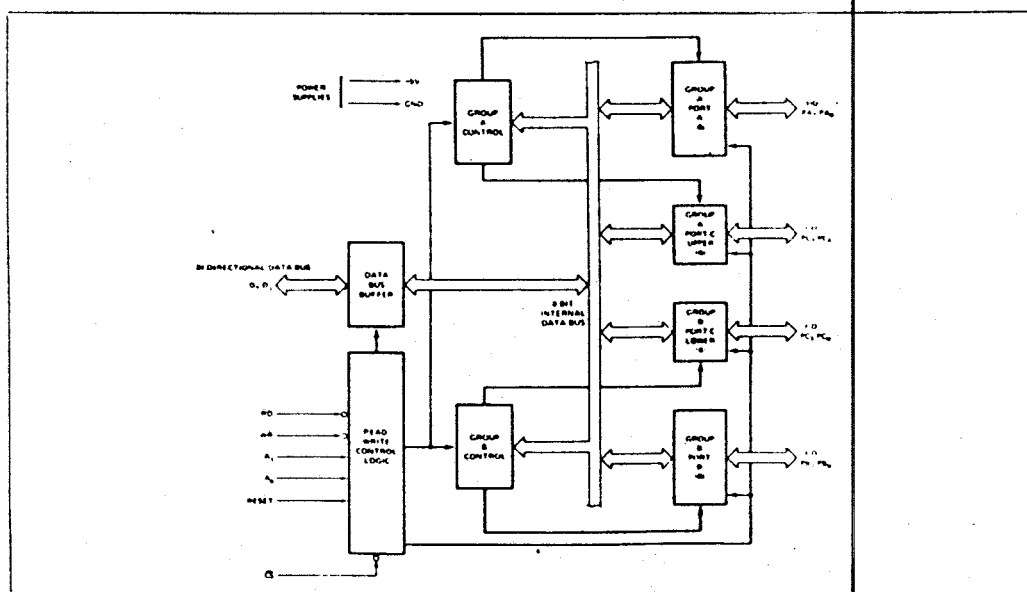
**Write.** A "low" on this input pin enables the CPU to write data or control words into the 8255A.

**(A<sub>0</sub> and A<sub>1</sub>)**

**Port Select 0 and Port Select 1.** These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus ( $A_0$  and  $A_1$ ).

## 8255A BASIC OPERATION

A <sub>1</sub>	A <sub>0</sub>	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE



**Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions**

### (RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

### Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A — Port A and Port C upper (C7-C4)

Control Group B — Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

### Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

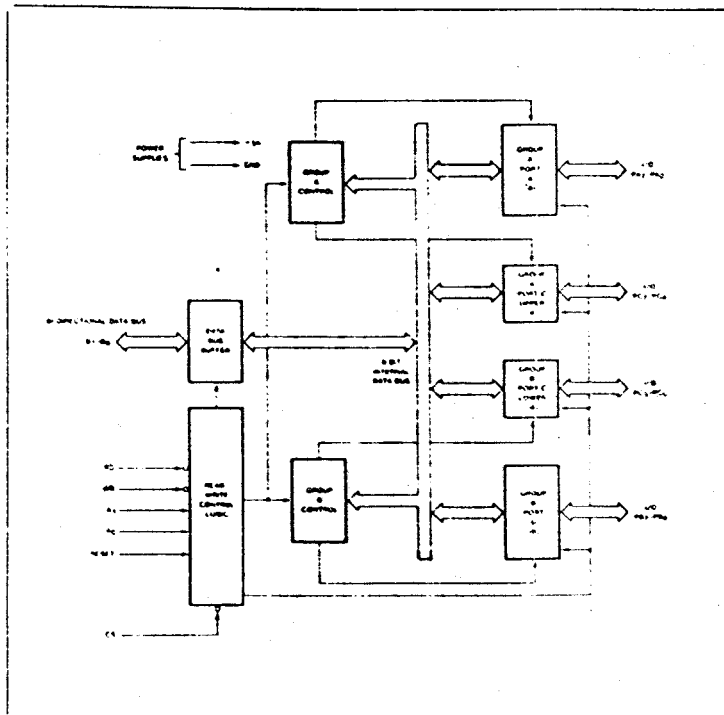
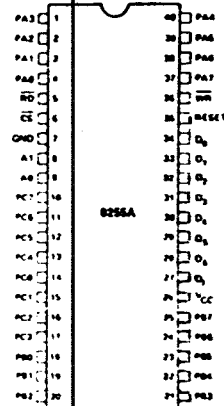


Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions

### PIN CONFIGURATION



### PIN NAMES

A0, A1	DATA BUS HIGH DIRECTIONAL
RESET	RESET INPUT
C0	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A0, A1	PORT ADDRESS
PA7, PA6	PORT A (BIT)
PB7, PB6	PORT B (BIT)
PC7, PC6	PORT C (BIT)
VCC	+5 VOLTS
GND	0 VOLTS

# 8255A OPERATIONAL DESCRIPTION

## Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 - Basic Input/Output
- Mode 1 - Strobed Input/Output
- Mode 2 - Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

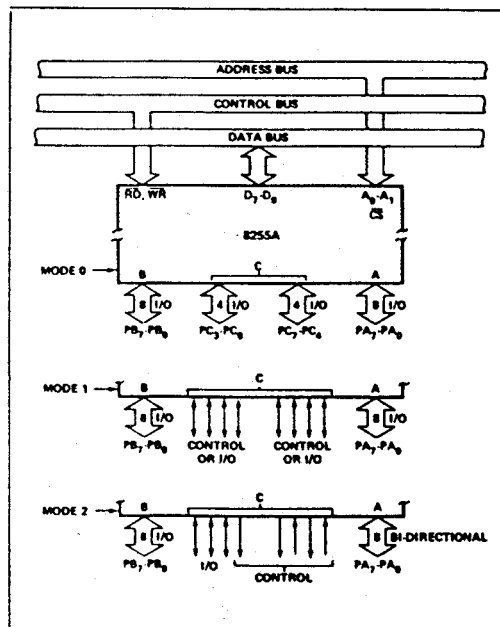


Figure 5. Basic Mode Definitions and Bus Interface

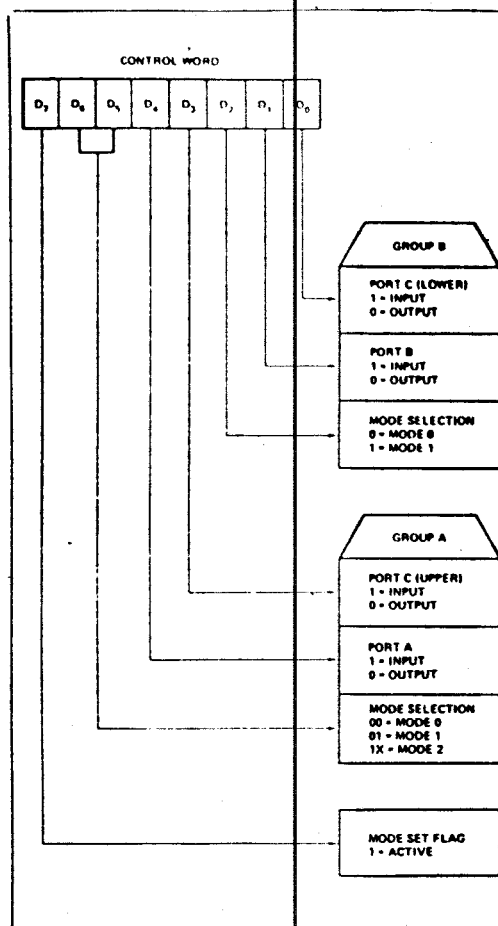


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

## Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTPut instruction. This feature reduces software requirements in Control-based applications.

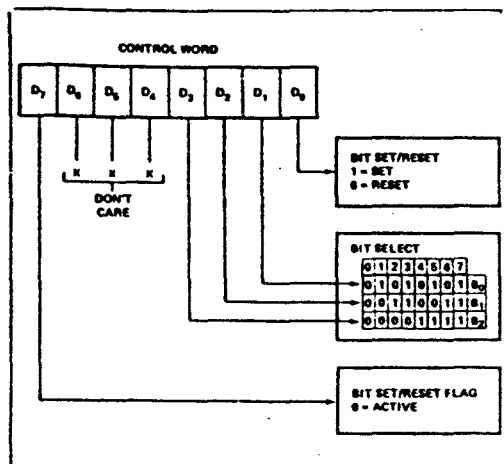


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

#### Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) - INTE is SET - Interrupt enable

(BIT-RESET) - INTE is RESET - Interrupt disable

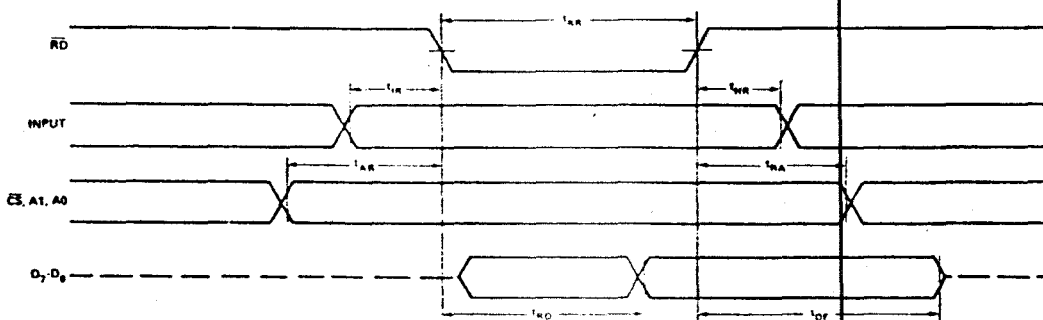
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

#### Operating Modes

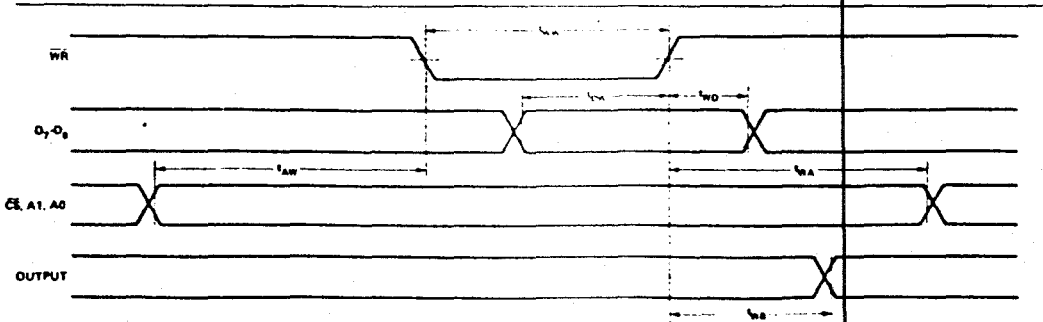
**MODE 0 (Basic Input/Output).** This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

#### Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



#### MODE 0 (Basic Input)



#### MODE 0 (Basic Output)

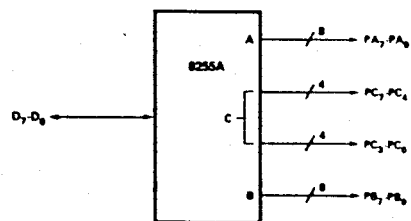
MODE 0 Port Definition

A		B		GROUP A		GROUP B		
D <sub>4</sub>	D <sub>3</sub>	D <sub>1</sub>	D <sub>0</sub>	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

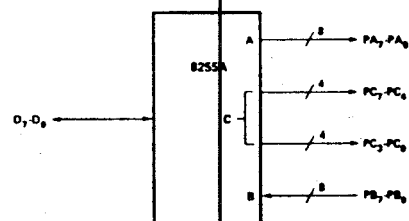
CONTROL WORD #0

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	0	0	0	0



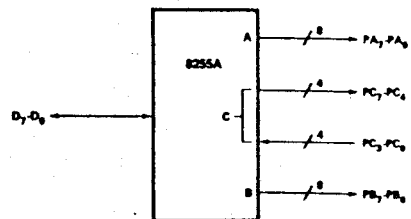
CONTROL WORD #2

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	0	0	1	0



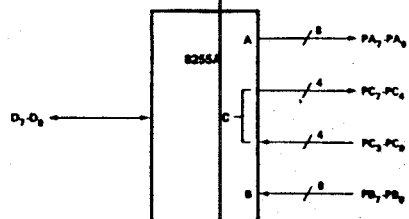
CONTROL WORD #1

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	0	0	0	1



CONTROL WORD #3

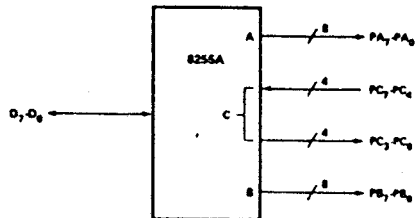
D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	0	0	1	1





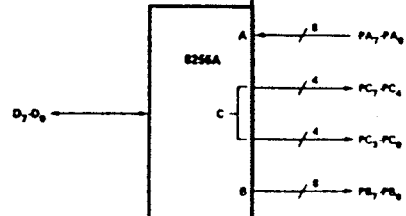
CONTROL WORD #4

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	0	0



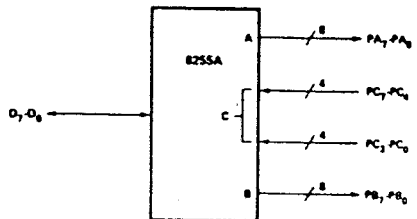
CONTROL WORD #8

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	0	0



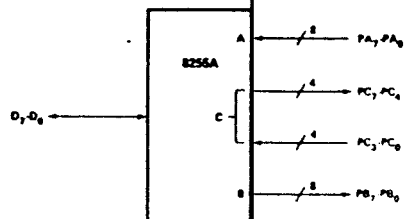
CONTROL WORD #5

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	0	1



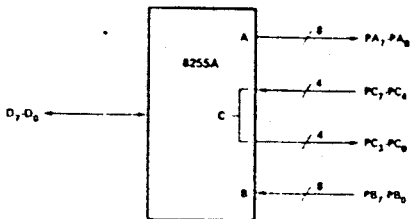
CONTROL WORD #9

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	0	1



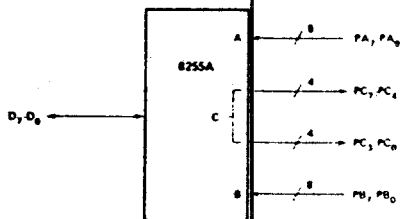
CONTROL WORD #6

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	1	0



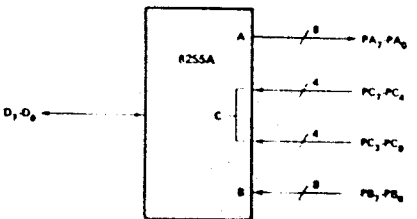
CONTROL WORD #10

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	1	0



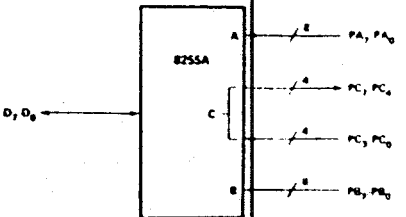
CONTROL WORD #7

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	1	1



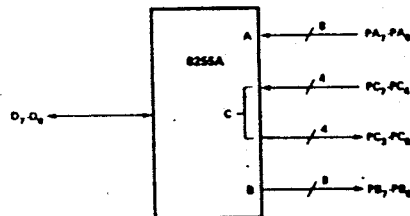
CONTROL WORD #11

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	1	1



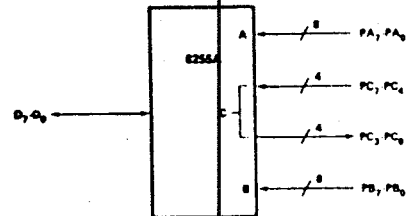
CONTROL WORD #12

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	0	0



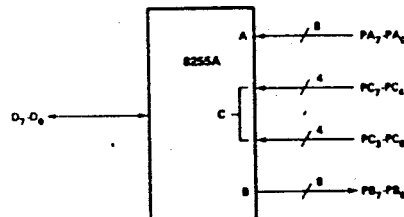
CONTROL WORD #14

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	1	0



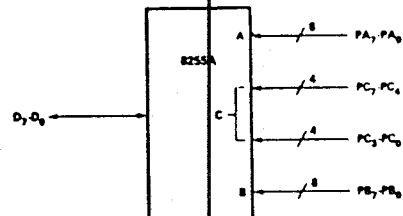
CONTROL WORD #13

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	0	1



CONTROL WORD #15

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	1	1



## Operating Modes

**MODE 1 (Strobed Input/Output).** This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and port B use the lines on port C to generate or accept these "hand-shaking" signals.

### Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

# Input Control Signal Definition

**STB (Strobe Input).** A "low" on this input loads data into the input latch.

## IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

## INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

### INTE A

Controlled by bit set/reset of PC<sub>4</sub>.

### INTE B

Controlled by bit set/reset of PC<sub>2</sub>.

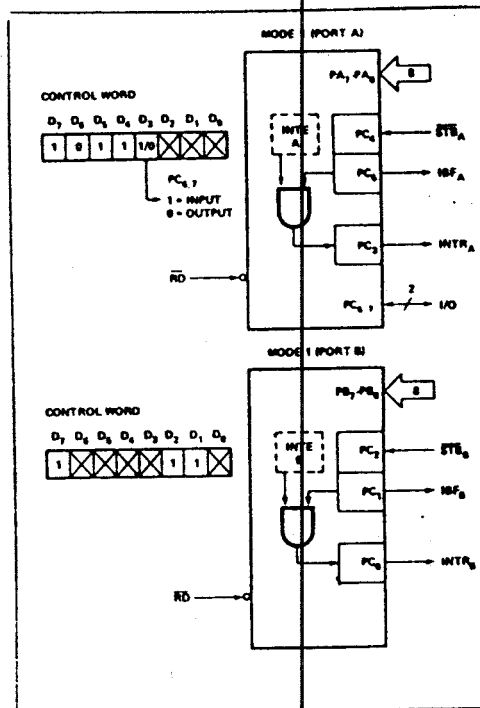


Figure 8. MODE 1 Input

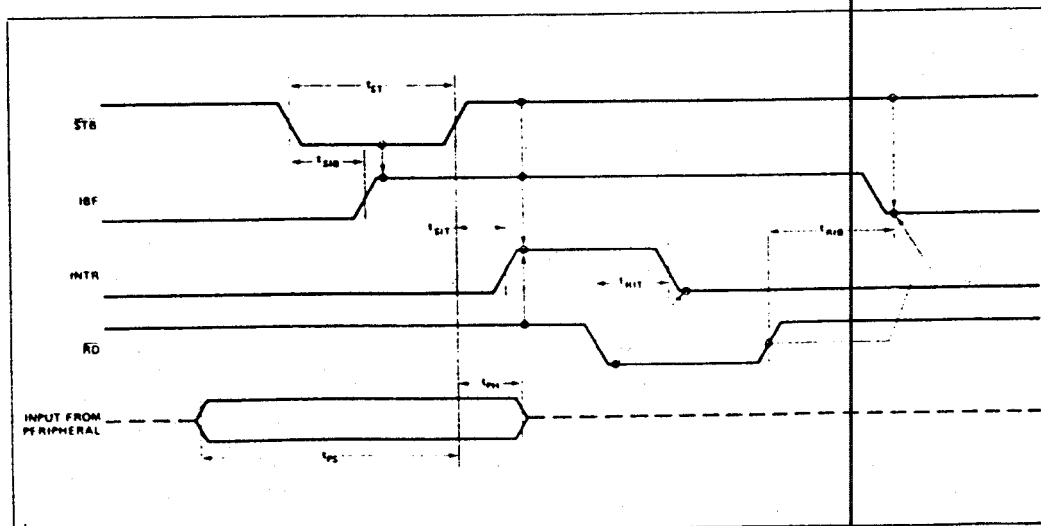


Figure 9. MODE 1 (Strobed Input)

# Output Control Signal Definition

**OB $\overline{F}$  (Output Buffer Full F/F).** The  $\overline{OBF}$  output will go "low" to indicate that the CPU has written data out to the specified port. The  $\overline{OBF}$  F/F will be set by the rising edge of the  $\overline{WR}$  input and reset by  $\overline{ACK}$  input being low.

**$\overline{ACK}$  (Acknowledge Input).** A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

**INTR (Interrupt Request).** A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when  $\overline{ACK}$  is a "one",  $\overline{OBF}$  is a "one", and  $\overline{INTE}$  is a "one". It is reset by the falling edge of  $\overline{WR}$ .

**INTR (Interrupt Request).** A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when  $\overline{ACK}$  is a "one",  $\overline{OBF}$  is a "one", and  $\overline{INTE}$  is a "one". It is reset by the falling edge of  $\overline{WR}$ .

**INTE A**

Controlled by bit set/reset of  $PC_6$ .

**INTE B**

Controlled by bit set/reset of  $PC_2$ .

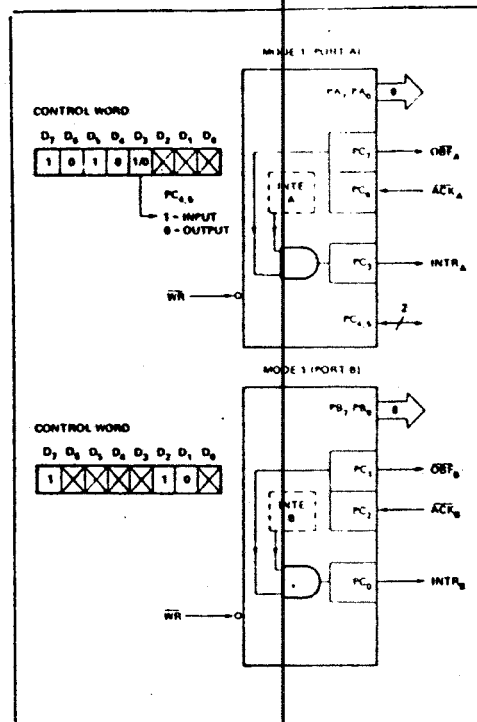


Figure 10. MODE 1 Output

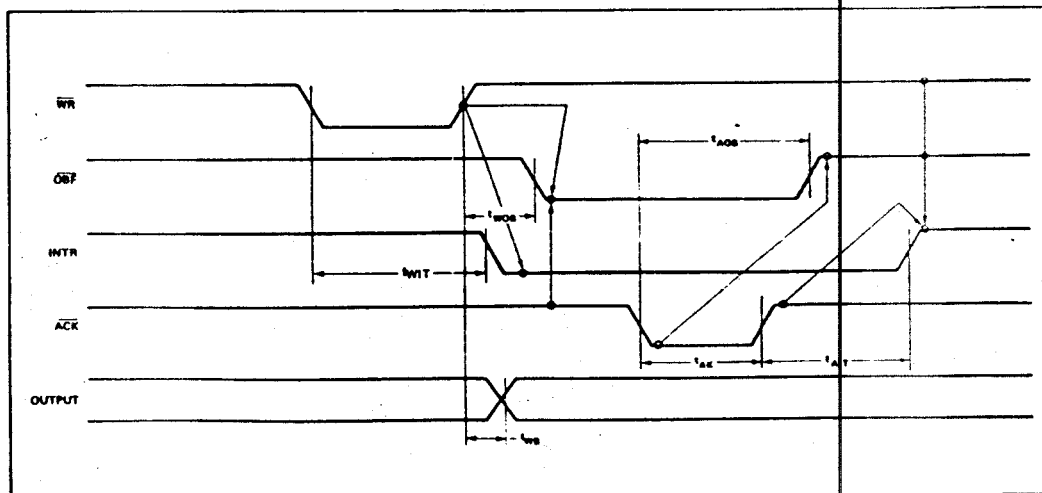


Figure 11. Mode 1 (Strobed Output)

### Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

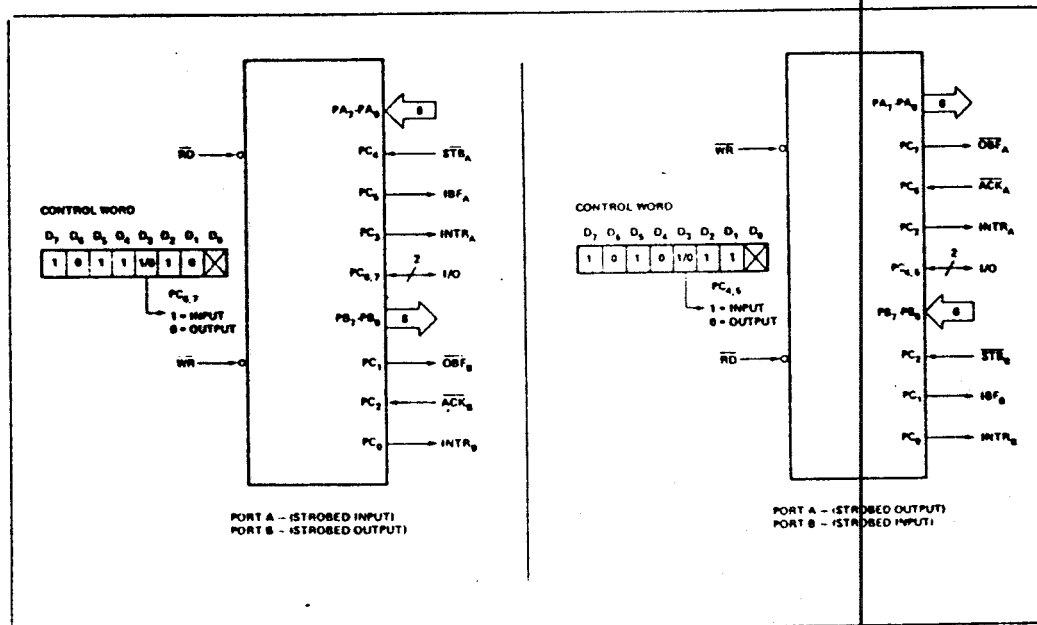


Figure 12. Combinations of MODE 1

### Operating Modes

**MODE 2 (Strobed Bidirectional Bus I/O).** This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

#### MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

#### Bidirectional Bus I/O Control Signal Definition

**INTR (Interrupt Request).** A high on this output can be used to interrupt the CPU for both input or output operations.

### Output Operations

**OBF (Output Buffer Full).** The OBF output will go "low" to indicate that the CPU has written data out to port A.

**ACK (Acknowledge).** A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

**INTE 1 (The INTE Flip-Flop Associated with OBF).** Controlled by bit set/reset of PC<sub>6</sub>.

#### Input Operations

**STB (Strobe Input).** A "low" on this input loads data into the input latch.

**IBF (Input Buffer Full FIF).** A "high" on this output indicates that data has been loaded into the input latch.

**INTE 2 (The INTE Flip-Flop Associated with IBF).** Controlled by bit set/reset of PC<sub>4</sub>.

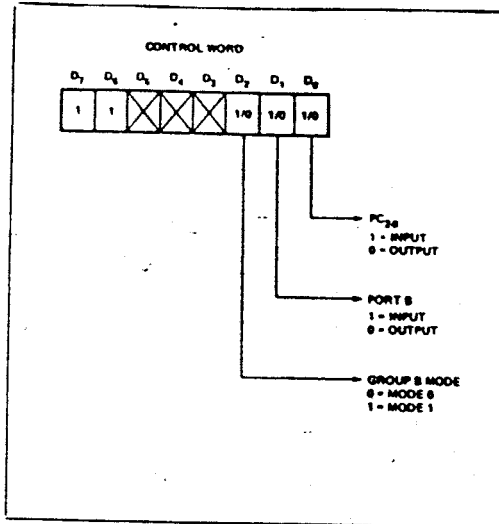


Figure 13. MODE Control Word

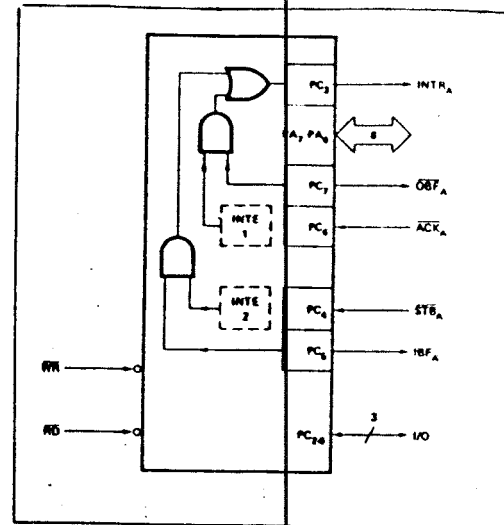


Figure 14. MODE 2

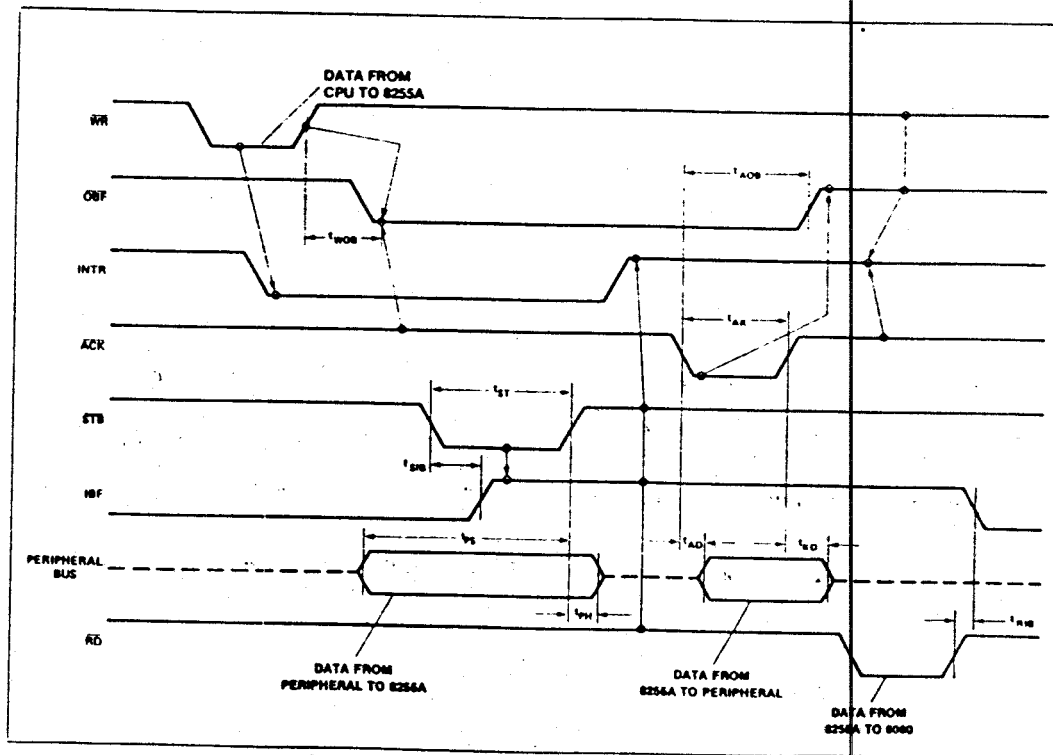


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where  $\overline{WR}$  occurs before  $\overline{ACK}$  and  $\overline{STB}$  occurs before  $\overline{RD}$  is permissible.  
 $(INTR = IBF \cdot MASK \cdot STB \cdot RD + OBF \cdot MASK \cdot \overline{ACK} \cdot \overline{WR})$

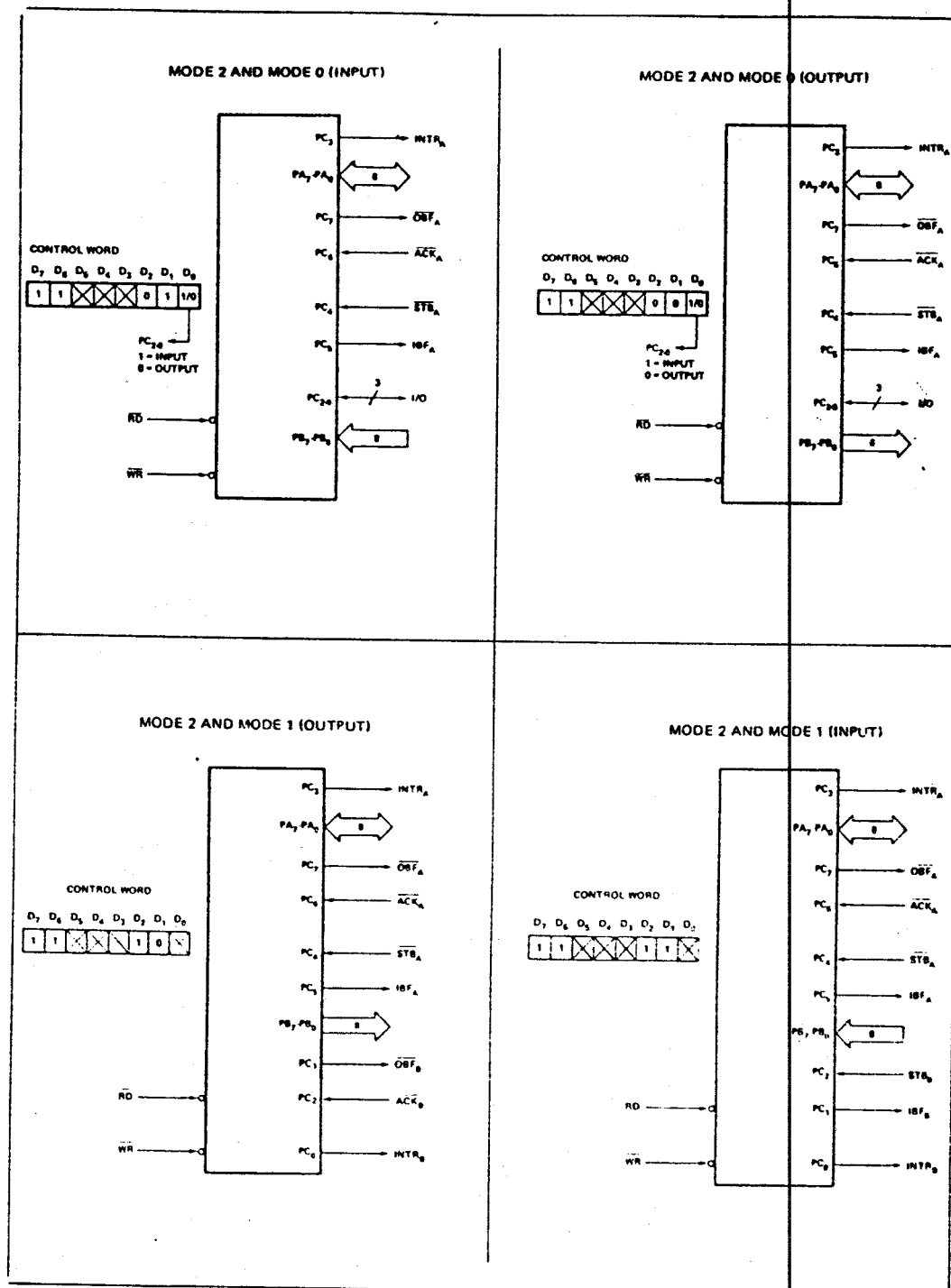


Figure 16. MODE ¼ Combinations

# Mode Definition Summary

	MODE 0		MODE 1		MODE 2
	IN	OUT	IN	OUT	GROUP A ONLY
PA <sub>0</sub>	IN	OUT	IN	OUT	↔
PA <sub>1</sub>	IN	OUT	IN	OUT	↔
PA <sub>2</sub>	IN	OUT	IN	OUT	↔
PA <sub>3</sub>	IN	OUT	IN	OUT	↔
PA <sub>4</sub>	IN	OUT	IN	OUT	↔
PA <sub>5</sub>	IN	OUT	IN	OUT	↔
PA <sub>6</sub>	IN	OUT	IN	OUT	↔
PA <sub>7</sub>	IN	OUT	IN	OUT	↔
PB <sub>0</sub>	IN	OUT	IN	OUT	—
PB <sub>1</sub>	IN	OUT	IN	OUT	—
PB <sub>2</sub>	IN	OUT	IN	OUT	—
PB <sub>3</sub>	IN	OUT	IN	OUT	—
PB <sub>4</sub>	IN	OUT	IN	OUT	—
PB <sub>5</sub>	IN	OUT	IN	OUT	—
PB <sub>6</sub>	IN	OUT	IN	OUT	—
PB <sub>7</sub>	IN	OUT	IN	OUT	—
PC <sub>0</sub>	IN	OUT	INTR <sub>B</sub>	INTR <sub>B</sub>	I/O
PC <sub>1</sub>	IN	OUT	IBF <sub>B</sub>	OBFB	I/O
PC <sub>2</sub>	IN	OUT	STB <sub>B</sub>	ACK <sub>B</sub>	I/O
PC <sub>3</sub>	IN	OUT	INTR <sub>A</sub>	INTR <sub>A</sub>	INTR <sub>A</sub>
PC <sub>4</sub>	IN	OUT	STB <sub>A</sub>	I/O	STB <sub>A</sub>
PC <sub>5</sub>	IN	OUT	IBFA	I/O	IBFA
PC <sub>6</sub>	IN	OUT	I/O	ACK <sub>A</sub>	ACK <sub>A</sub>
PC <sub>7</sub>	IN	OUT	I/O	OBFA	OBFA

MODE 0  
OR MODE 1  
ONLY

## Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs —

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs —

Bits in C upper (PC<sub>7</sub>-PC<sub>4</sub>) must be individually accessed using the bit set/reset function.

Bits in C lower (PC<sub>3</sub>-PC<sub>0</sub>) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

## Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

## Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C

allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

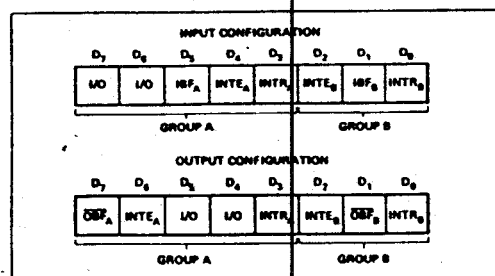


Figure 17. MODE 1 Status Word Format

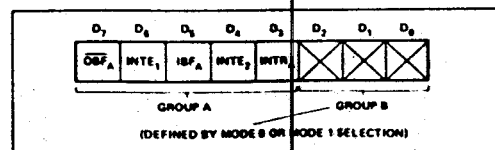


Figure 18. MODE 2 Status Word Format



## APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

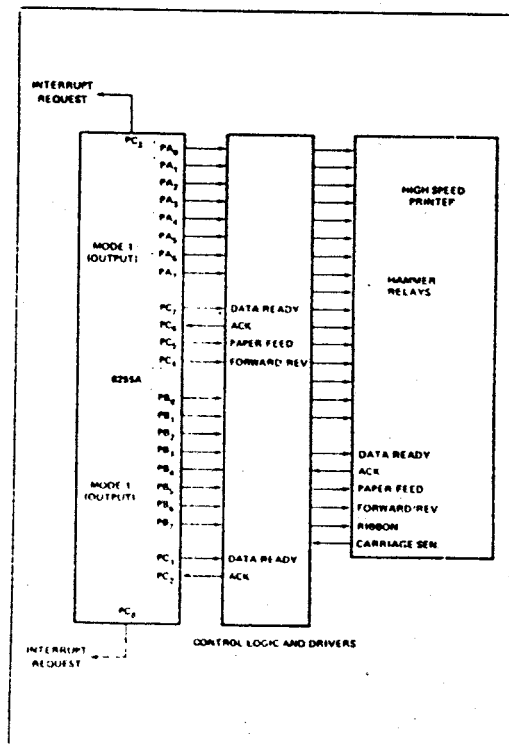


Figure 19. Printer Interface

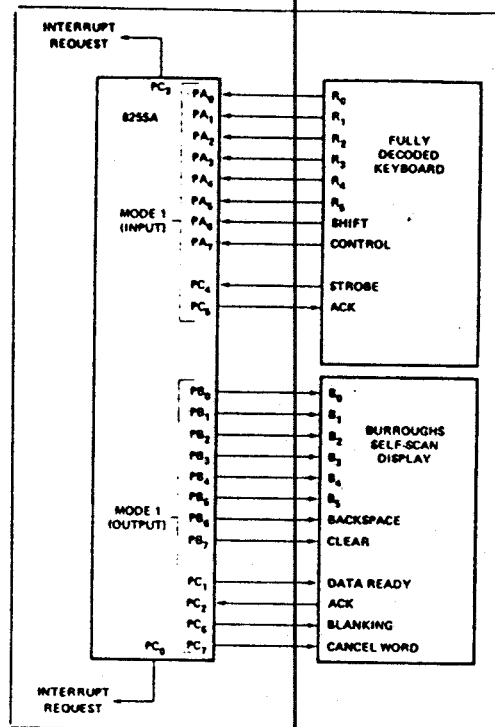


Figure 20. Keyboard and Display Interface

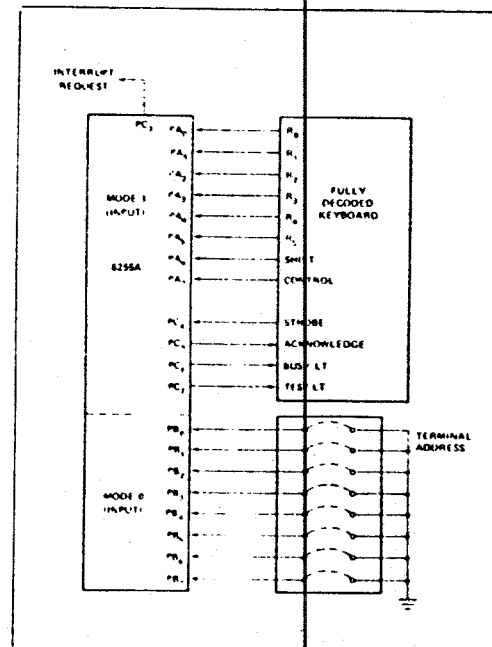


Figure 21. Keyboard and Terminal Address Interface

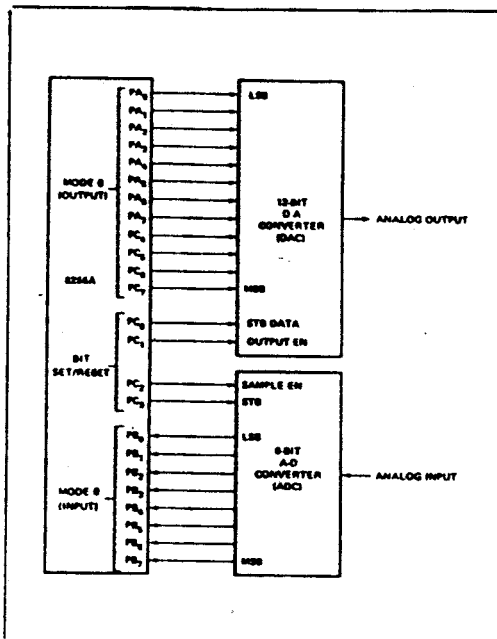


Figure 22. Digital to Analog, Analog to Digital

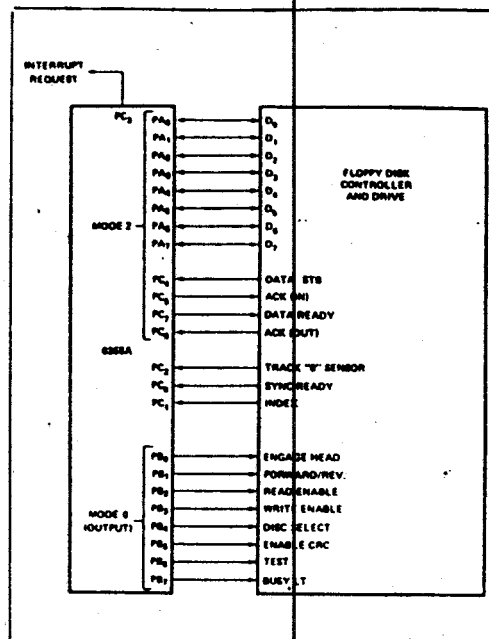


Figure 23. Basic Floppy Disk Interface

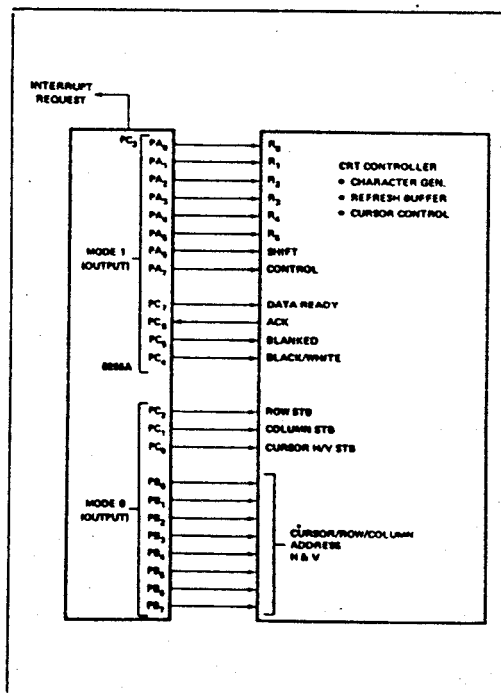


Figure 24. Basic CRT Controller Interface

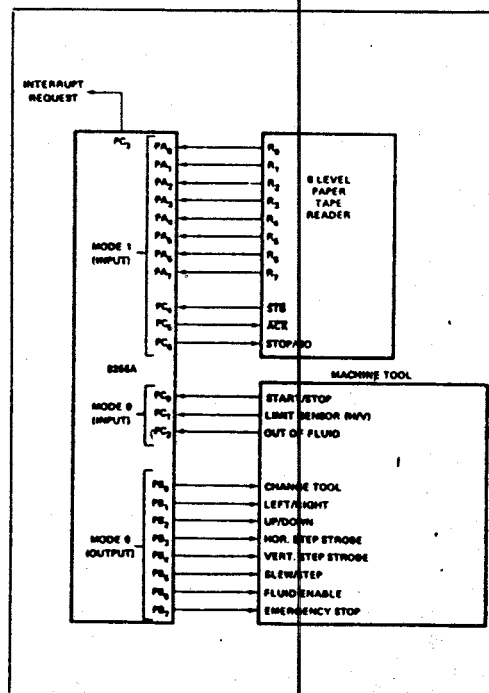


Figure 25. Machine Tool Controller Interface

**ABSOLUTE MAXIMUM RATINGS\***

Ambient Temperature Under Bias. . . . . 0°C to 70°C  
Storage Temperature . . . . . -65°C to +150°C  
Voltage on Any Pin  
With Respect to Ground. . . . . -0.5V to +7V  
Power Dissipation . . . . . 1 Watt

\*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**D.C. CHARACTERISTICS** ( $T_A = 0^\circ\text{C to } 70^\circ\text{C}$ ,  $V_{CC} = +5V \pm 10\%$ ,  $GND = 0V$ ) \*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
$V_{IL}$	Input Low Voltage	-0.5	0.8	V	
$V_{IH}$	Input High Voltage	2.0	$V_{CC}$	V	
$V_{OL(DB)}$	Output Low Voltage (Data Bus)		0.45*	V	$I_{OL} = 2.5\text{mA}$
$V_{OL(PER)}$	Output Low Voltage (Peripheral Port)		0.45*	V	$I_{OL} = 1.7\text{mA}$
$V_{OH(DB)}$	Output High Voltage (Data Bus)	2.4		V	$I_{OH} = -400\mu\text{A}$
$V_{OH(PER)}$	Output High Voltage (Peripheral Port)	2.4		V	$I_{OH} = -200\mu\text{A}$
$I_{DAR}^{(1)}$	Darlington Drive Current	-1.0	-4.0	mA	$R_{EXT} = 750\Omega$ ; $V_{EXT} = 1.5V$
$I_{CC}$	Power Supply Current		120	mA	
$I_{IL}$	Input Load Current		$\pm 10$	$\mu\text{A}$	$V_{IN} = V_{CC}$ to 0V
$I_{OFL}$	Output Float Leakage		$\pm 10$	$\mu\text{A}$	$V_{OUT} = V_{CC}$ to .45V

**NOTE:**

1. Available on any 8 pins from Port B and C.

**CAPACITANCE** ( $T_A = 25^\circ\text{C}$ ,  $V_{CC} = GND = 0V$ )

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
$C_{IN}$	Input Capacitance			10	pF	$f_c = 1\text{MHz}$
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

**A.C. CHARACTERISTICS** ( $T_A = 0^\circ\text{C to } 70^\circ\text{C}$ ,  $V_{CC} = +5V \pm 10\%$ ,  $GND = 0V$ ) \***Bus Parameters****READ**

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
$t_{AR}$	Address Stable Before READ	0		0		ns
$t_{RA}$	Address Stable After READ	0		0		ns
$t_{RR}$	READ Pulse Width	300		300		ns
$t_{RD}$	Data Valid From READ <sup>(1)</sup>		250		200	ns
$t_{DF}$	Data Float After READ	10	150	10	100	ns
$t_{RV}$	Time Between READs and/or WRITEs	850		850		ns

# A.C. CHARACTERISTICS (Continued)

## WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
$t_{AW}$	Address Stable Before WRITE	0		0		ns
$t_{WA}$	Address Stable After WRITE	20		20		ns
$t_{WW}$	WRITE Pulse Width	400		300		ns
$t_{DW}$	Data Valid to WRITE (T.E.)	100		100		ns
$t_{WD}$	Data Valid After WRITE	30		30		ns

## OTHER TIMINGS

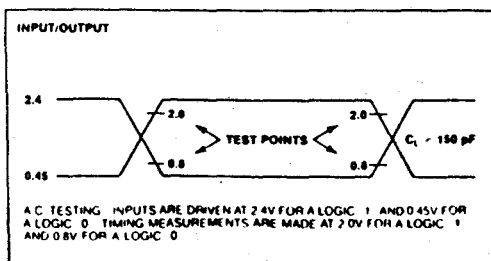
Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
$t_{WB}$	WR = 1 to Output <sup>[1]</sup>		350		350	ns
$t_{iR}$	Peripheral Data Before RD	0		0		ns
$t_{iHR}$	Peripheral Data After RD	0		0		ns
$t_{AK}$	ACK Pulse Width	300		300		ns
$t_{ST}$	STB Pulse Width	500		500		ns
$t_{PS}$	Per. Data Before T.E. of STB	0		0		ns
$t_{PH}$	Per. Data After T.E. of STB	180		180		ns
$t_{AD}$	ACK = 0 to Output <sup>[1]</sup>		300		300	ns
$t_{KD}$	ACK = 1 to Output Float	20	250	20	250	ns
$t_{WOB}$	WR = 1 to OBF = 0 <sup>[1]</sup>		650		650	ns
$t_{AOB}$	ACK = 0 to OBF = 1 <sup>[1]</sup>		350		350	ns
$t_{SIB}$	STB = 0 to IBF = 1 <sup>[1]</sup>		300		300	ns
$t_{RIB}$	RD = 1 to IBF = 0 <sup>[1]</sup>		300		300	ns
$t_{RIT}$	RD = 0 to INTR = 0 <sup>[1]</sup>		400		400	ns
$t_{SIT}$	STB = 1 to INTR = 1 <sup>[1]</sup>		300		300	ns
$t_{AIT}$	ACK = 1 to INTR = 1 <sup>[1]</sup>		350		350	ns
$t_{WIT}$	WR = 0 to INTR = 0 <sup>[1,3]</sup>		450		450	ns

### NOTES:

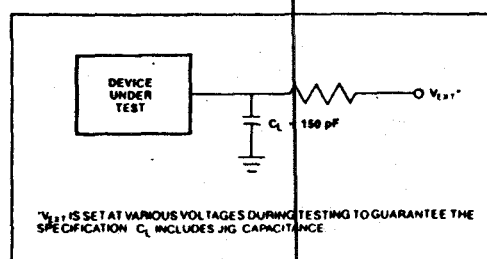
1. Test Conditions:  $C_L = 150$  pF.
2. Period of Reset pulse must be at least 50  $\mu$ s during or after power on. Subsequent Reset pulse can be 50 ns min.
3. INTR $\uparrow$  may occur as early as WR $\downarrow$ .

\* For Extended Temperature EXPRESS, use M8255A electrical parameters.

## A.O. TESTING INPUT, OUTPUT WAVEFORM

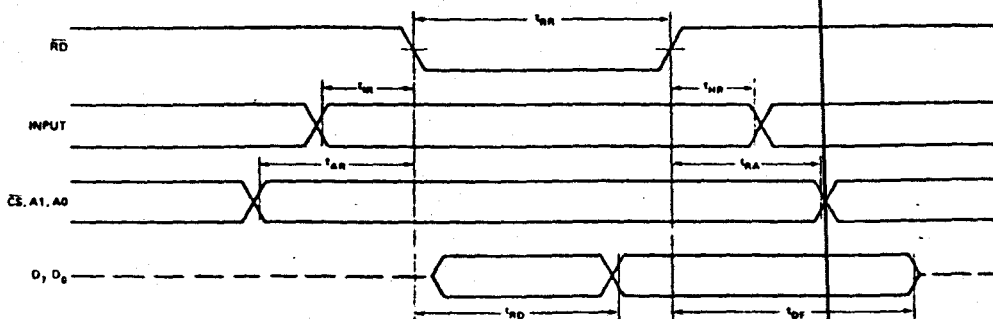


## A.C. TESTING LOAD CIRCUIT

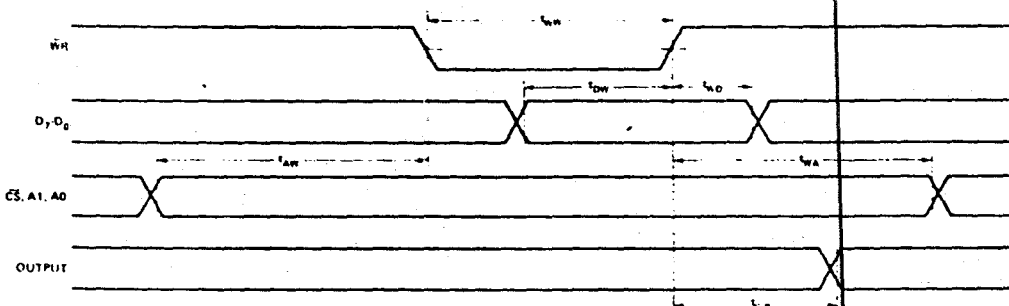


WAVEFORMS

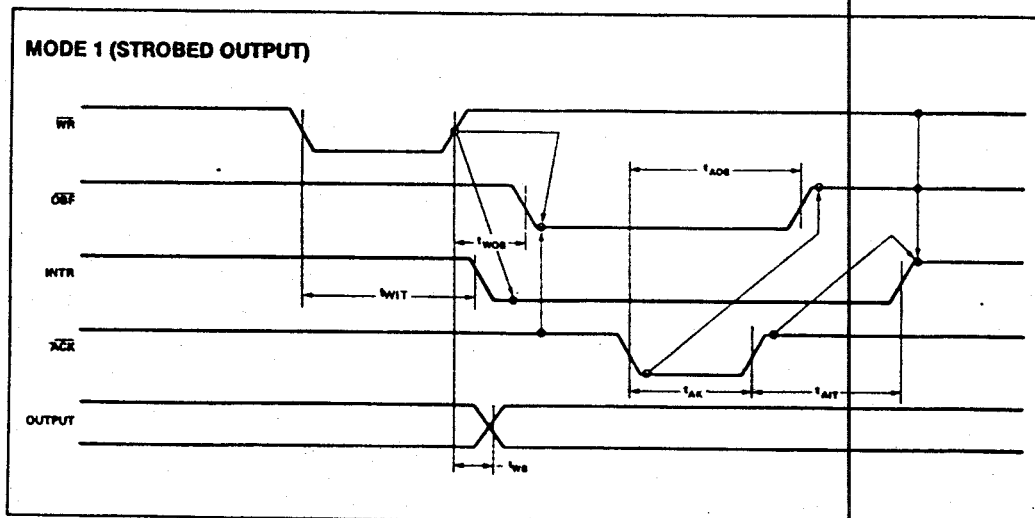
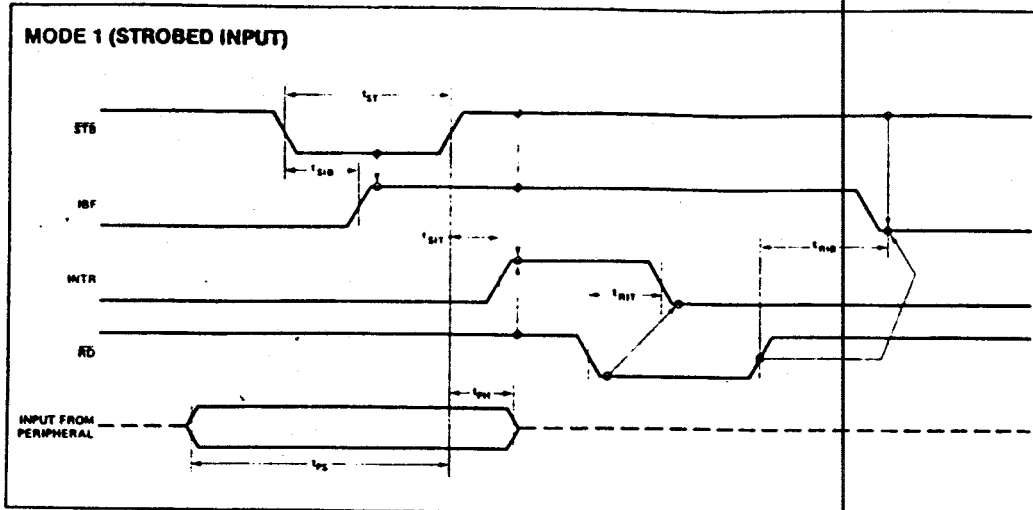
MODE 0 (BASIC INPUT)



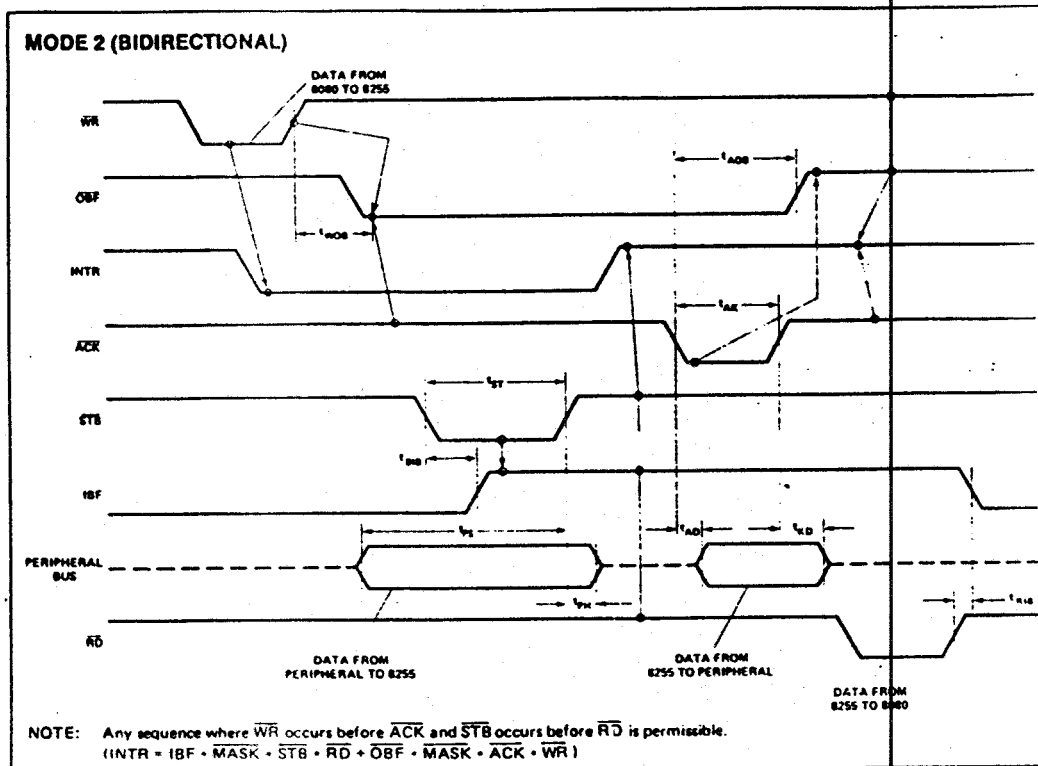
MODE 0 (BASIC OUTPUT)



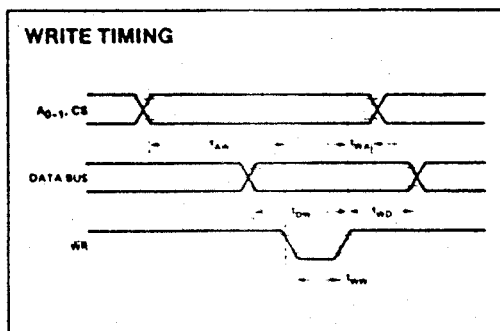
WAVEFORMS (Continued)



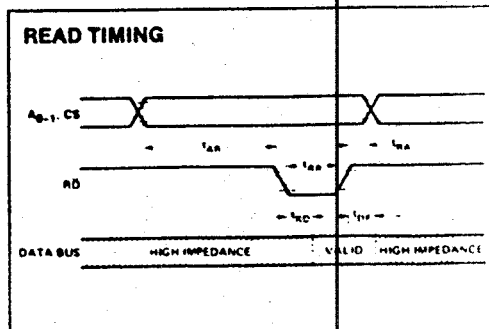
WAVEFORMS (Continued)



WRITE TIMING



READ TIMING



## USULAN TUGAS AKHIR

1. JUDUL TUGAS AKHIR : PERENCANAAN DAN PEMBUATAN SIMULATOR  
SISTEM NAVIGASI INERSIAL STRAPDOWN  
UNTUK PESAWAT TERBANG PADA KOMPUTER  
IBM PC-XT.
2. BIDANG STUDI : TEKNIK ELEKTRO - TEKNIK SISTEM  
PENGATURAN
3. RUANG LINGKUP :
  - Navigasi
  - Model dan Simulasi
  - Optimal Control
  - Elektronika Mikro
  - Microprocessor
4. LATAR BELAKANG : Dalam melakukan suatu penerbangan,  
pesawat terbang membutuhkan suatu  
alat bantu navigasi yang dapat  
menghasilkan besaran - besaran  
navigasi dengan ketelitian dan  
kehandalan yang tinggi. Dalam  
operasionalnya diharapkan tidak  
memerlukan informasi dari luar.  
Dengan adanya perkembangan yang  
pesat dalam pengembangan teknologi  
LASER pada permasalahan navigasi,



yaitu dengan diaplikasikan Ring Laser Gyro (RLG) guna menggantikan giro gimbal telah mengubah desain sistem navigasi yang ada. Metode ini disebut Sistem Navigasi Inersial Strapdown. Pada metode ini komputer merupakan suatu peralatan yang vital guna menghitung permasalahan navigasi.

5. PENELAAHAN STUDI : Mempelajari navigasi pada pesawat terbang, khususnya Sistem Navigasi Inersial Strapdown, suatu navigasi yang dalam operasionalnya tanpa memerlukan informasi dari luar. Dengan mensimulasikan alat-alat sensornya yang berupa Ring Laser Gyro dan Accelerometer dengan rangkaian elektronik dan alat bantu lain berupa Synchro Transmitter dan Potensio yang akan menghasilkan data masukan bagi simulasi program Sistem Navigasi Inersial Strapdown pada komputer IBM PC-XT. Selain itu diperlukan rancangan perangkat lunak yang dapat mengolah

data-data masukan tersebut untuk menghasilkan besaran - besaran navigasi dengan handal dan akurat.

6. BATASAN MASALAH : Menganggap bumi berbentuk ellips
7. T U J U A N : Merancang dan membuat Simulator Sistem Navigasi Inersial Strapdown
8. LANGKAH-LANGKAH : - Menentukan literatur dan bahan - bahan yang akan dipakai sebagai landasan perencanaan.
- Perencanaan dan pembuatan alat.
- Membuat rancangan perangkat lunak sebagai pengolah data.
- Melakukan analisa sistem.
- Penulisan naskah tugas akhir.
9. JADWAL KEGIATAN :

LANGKAH KEGIATAN	B U L A N						K E
	I	II	III	IV	V	VI	
PENENTUAN LIT.							
PERENCANAAN DAN PEMBUATAN PERANGKAT KERAS							
PEMBUATAN PERANGKAT LUNAK							
ANALISA							
PENULISAN BUKU							

10. RELEVANSI

: Dengan membuat Simulator Sistem Navigasi Inersial Strapdown dapat membantu memperjelas urutan - urutan proses sistem sehingga dapat mempermudah untuk menganalisa.

Dan tentunya simulator ini diharapkan dapat juga dipakai sebagai alat untuk mengecek fungsi alat-alat sensor sistem.

Kedua hal tersebut erat sekali kaitannya dengan kemampuan kita sendiri untuk dapat melakukan pemeliharaan alat-alat sensor pada Sistem Navigasi Inersial Strapdown ini.

## KURIKULUM VITAE



DONY NOERWAHJONO adalah putra kedua dari empat bersaudara, keluarga Bapak Noerjono Soenarjo dan Ibu Moerdaningsih, yang dilahirkan di Surabaya, 26 Nopember 1965.

Pendidikan formal yang telah ditempuh :

1. TK Celaket Malang, tahun 1970 - 1971.
2. SDN Negeri 220 Ambengan I Surabaya, tahun 1972 - 1977.
3. SMP Negeri 1 Surabaya, tahun 1978 - 1981.
4. SMA Negeri 2 Surabaya, tahun 1981 - 1984.
5. Institut Teknologi Sepuluh Nopember Surabaya pada Jurusan Teknik Elektro Fakultas Teknologi Industri, tahun 1984 - sekarang.

Pada bulan Oktober 1990 mengikuti Seminar Tugas Akhir di Bidang Studi Teknik Sistem Pengaturan, Jurusan Teknik Elektro FTI ITS sebagai salah satu persyaratan untuk mendapatkan gelar Sarjana Teknik Elektro.